

**INSTITUTO POLITÉCNICO  
NACIONAL**

**ESCUELA SUPERIOR DE INGENIERÍA  
MECÁNICA Y ELÉCTRICA  
SECCIÓN DE ESTUDIOS DE  
POSGRADO E INVESTIGACIÓN**

**Implementación en un DSP de un regulador de  
velocidad difuso tipo Takagi – Sugeno  
para un arreglo de motor de corriente directa -  
alternador**

**T E S I S**

**QUE PARA OBTENER EL GRADO DE:**

**MAESTRO EN CIENCIAS  
CON ESPECIALIDAD EN INGENIERÍA ELÉCTRICA**

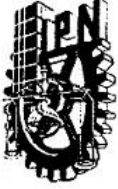


**PRESENTA**

**Javier Herrera Espinosa.**

**MÉXICO D. F.**

**2003**



**INSTITUTO POLITECNICO NACIONAL**  
**COORDINACION GENERAL DE POSGRADO E INVESTIGACION**

*ACTA DE REVISION DE TESIS*

En la Ciudad de México, D. F. siendo las 18:00 horas del día 4 del mes de Noviembre del 2002 se reunieron los miembros de la Comisión Revisora de Tesis designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de la E.S.I.M.E. para examinar la tesis de grado titulada:

**"IMPLEMENTACION EN UN DSP DE UN REGULADOR DE VELOCIDAD  
DIFUSO TIPO TAKAGI-SUGENO PARA UN ARREGLO DE MOTOR DE  
CORRIENTE DIRECTA- ALTERNADOR**

HERRERA                      ESPINOSA                      JAVIER  
Apellido paterno                      materno                      nombre(s)  
Con registro: 

9	7	0	7	5	9
---	---	---	---	---	---

aspirante al grado de:

**MAESTRO EN CIENCIAS**

Después de intercambiar opiniones los miembros de la Comisión manifestaron **SU APROBACION DE LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

**LA COMISION REVISORA**

Director de tesis  
  
\_\_\_\_\_  
DR. RAUL ANGEL CORTES MATEOS  
  
\_\_\_\_\_  
DR. CARLOS ALBERTO RIVERA SALAMANCA  
  
\_\_\_\_\_  
M. en C. DOMITILO LIBREROS

\_\_\_\_\_  
DR. DAVID ROMERO ROMERO  
  
\_\_\_\_\_  
M. en C. TOMAS IGNACIO ASAIN OLIVARES  
  
\_\_\_\_\_  
M. en C. JESÚS REYES GARCIA

**EL PRESIDENTE DEL COLEGIO**

\_\_\_\_\_  
DR. FLORENCIA SÁNCHEZ SILVA



*Gracias señor por permitirme vivir estos momentos con las personas que mas quiero y te agradezco infinitamente por iluminar mi camino ayer hoy y siempre.....*

## ***DEDICATORIA***

### **A MIS PADRES**

Abraham Herrera Díaz y Herminia Espinosa, por su constante apoyo y buenos consejos que siempre han tenido para la superación de sus hijos. Con mucho amor y cariño.

### **A MIS HERMANOS**

Rosa María Irala Espinosa; José Joaquín Irala Espinosa y José Francisco Herrera Espinosa por el apoyo y cariño que siempre nos hemos dado.

### **A MI ESPOSA**

María del Carmen Aguilera Pérez, por su dedicación, su paciencia y su cariño que me brinda día a día en forma incondicional.

### **A MIS HIJOS**

Francisco Javier Herrera Aguilera y Abraham Herrera Aguilera, que son una de las satisfacciones más grandes que Dios me ha dado en la vida y la razón de mi superación.

### **A MI AMIGA**

Yesenia Monroy Valdez, por estar en los momentos más difíciles de mi juventud y a

### **A MI AMIGO**

Jorge Ramírez Trujillo, por ser un hermano de corazón. Recupérate pronto hermano.

---

---

### *A LA MEMORIA*

De Juan Manuel Carrillo Espinosa y Manuel García Rivas que me enseñaron que lo más preciado que uno tiene es la vida, y que por ningún motivo hay que desperdiciarla.

### *AGRADECIMIENTOS*

Deseo expresar mi más sincero agradecimiento y reconocimiento al Dr. Raúl Cortés Mateos por el interés, la dedicación, el apoyo, las enseñanzas académicas y personales que he recibido durante la elaboración de este trabajo.

A los profesores del Departamento de Ingeniería Eléctrica de la Sección de estudios de Posgrado e Investigación por brindarme parte de su tiempo y conocimientos.

Al consejo Nacional de Ciencia y Tecnología (CONACYT) por el apoyo económico brindado.

A mis compañeros y amigos Cesar Landa Hernández, Gabriel Mendoza Figueroa, Francisco Javier Sampe López y demás compañeros que por descuido he olvidado, por que de alguna forma u otra me brindaron su apoyo durante mi estancia en esta Institución.

“Por aquellos tiempos y los que vendrán”

## RESUMEN

En este trabajo se describe el análisis, diseño y construcción de un regulador de velocidad difuso tipo Takagi – Sugeno para un arreglo motor de corriente directa (c.d.) - alternador. El regulador difuso de velocidad se realiza a través de la variación del voltaje de armadura del motor de c.d. con el fin de mantener la frecuencia de 60 hz. en el alternador, sujeto a cambios de carga y fallas de corto – circuito.

Se presenta además el algoritmo de sintonización para el regulador difuso, basado en las relaciones entre los modelos matemáticos de Mandani, Takagi - Sugeno y un control proporcional – integral.

Para validar la operación de control, se realizan pruebas de simulación con el sistema motor de c.d. – alternador sujeto a cambios de carga. Después de sintonizar el controlador, el comportamiento del sistema de control es estable.

El análisis de estabilidad, se realiza mediante el modelo matemático del control y el sistema motor de c.d – alternador, aplicando el criterio de Kasuo Tanaka. Este criterio esta basado en el segundo criterio de Liapunov. Su aplicación es de gran utilidad para el diseño de reguladores difusos ya que permite conocer si el sistema es estable antes de su implementación. Los resultados del análisis permitieron ver que el regulador difuso es estable bajo las condiciones de operación propuestas.

Como resultado de la teoría descrita se realiza la construcción física del regulador de velocidad mediante la utilización de la tarjeta basada en el procesador digital de señales (DSP) TMS320F240, de Texas Instrument. El programa desarrollado permite: a) arrancar el motor de c.d - alternador a tensión reducida; b) Medir la velocidad del conjunto motor de c.d –alternador; c) la comunicación con una computadora personal; y f) el cálculo del algoritmo de control.

El prototipo fue probado en un conjunto motor – alternador de 1.8Kw –1.1KVA respectivamente, sometido a cambios de carga, así como pruebas de corto – circuito y liberación de este. En todas las pruebas el comportamiento del sistema fue estable.

## ABSTRACT

Analysis, design and implementation of a fuzzy speed regulator type Takagi – Sugeno for a direct current motor - alternator set is presented in this thesis. The fuzzy speed regulator by the variation of the armature voltage of the direct current motor is tested in order to keep the alternator at a frequency of 60Hz, which is subjected to load changes and short circuit failures.

Furthermore, the tuning algorithm for the fuzzy regulator based on the relations between Mandani's and Takagi Sugeno's mathematical models and a proportional integral control is presented.

Simulations to validate the operation of the control are performed with the direct current motor - alternator system subjected to load changes. After tuning the controller the response the control system is stable.

Stability analysis through the mathematical model of the control and the direct current motor - alternator system is done, using Kasuo Tanaka's criteria. This criteria is based upon Liapunov's second method. Its application is important for fuzzy regulators design, because it allows to evaluate the system stability prior to its implementation. Analysis results allowed to know that fuzzy regulator is stable under the operation conditions proposed.

As a result of the described theory, a speed fuzzy regulator using the TMS320F240 Digital Processing evaluation board was implemented. The developed software allows to: a) Start the direct d.c. – alternator at low voltage; b) Measure the speed of the direct d.c. – alternator set; c) Link to a P.C. d) Calculate the control algorithm.

The prototype was tested on a 1.8Kw – 1.1KVA direct current motor – alternator set subjected to load changes, short circuit and fault liberation. In all the test results, the system behavior was stable.



## INDICE

	Página
Resumen.	i
Abstract.	iii
Índice.	v
Glosario.	ix
Lista de símbolos.	ix
Lista de figuras.	xii
Lista de tablas.	xv
<b>Capítulo 1:</b> Introducción.	1
1.1. Generalidades.	1
1.2. Estado del arte.	2
1.3. Justificación.	5
1.4. Objetivo.	5
1.5. Estructura de la tesis.	6
<b>Capítulo 2.</b> Control de velocidad difuso tipo Takagi – Sugeno para un arreglo motor de c.d. - alternador.	8
2.1. Introducción.	8
2.2. Control de velocidad difuso tipo Takagi - Sugeno.	9
2.3. Sintonización de un control difuso tipo Takagi – Sugeno.	12
2.4. Análisis de estabilidad del regulador difuso tipo Takagi – Sugeno.	15
2.4.1. Modelo equivalente de un control difuso y una planta.	15
2.4.2. Aplicación del Teorema de Liapunov a los controles difusos.	18
2.4.3. Análisis de estabilidad para el regulador de velocidad del arreglo motor de c.d. alternador.	19

	Página
<b>Capítulo 3:</b> Elementos físicos de sistema de control.	23
3.1. Introducción.	23
3.2. Esquema y descripción general de las características de cada elemento físico que forma parte del regulador de velocidad.	23
3.2.1. Alternador.	25
3.2.2. Motor de corriente directa.	26
3.2.3. Sensor de Posición (“encoder”).	27
3.2.4. Medidor de velocidad y transductor.	27
3.2.5. Etapa de Entrada del control.	27
3.2.6. Tarjeta de evaluación (kit) del DSP TMS320F240.	28
3.2.7. Computadora personal (PC).	28
3.2.8. Etapa de potencia.	29
3.3. Módulo de Evaluación TMS320C2XX. Arquitectura y Funcionamiento.	31
3.4. Procesador de Señales Digitales TMS320F240.	34
3.4.1. Características generales.	34
3.4.2. Manejador de eventos.	36
3.4.2.1 Temporizadores de propósito general.	37
3.4.2.2 Interrupciones del módulo manejador de eventos.	40
3.4.3. Módulo de conversión analógico digital (A/D).	41
3.4.4. Módulo de interfase de comunicación serial (SCI).	42
<b>Capítulo 4:</b> Programa del sistema de control.	45
4.1. Introducción.	45
4.2. Descripción general del programa del sistema de control.	45
4.3. Estructura del programa.	47
4.4. Definición de los bloques de memoria del programa.	49

	Página
4.5. Detalles del diseño y programación de cada uno los bloques que integran el programa del sistema de control	50
4.5.1. Etapa de entrada.	51
4.5.2. Etapa de arranque.	53
4.5.3. Etapa de control.	55
4.5.3.1 Obtención del error, el absoluto del error y sus valores anteriores.	55
4.5.3.2. Obtención de los grados de membresía (valores difusos).	57
4.5.3.3. Evaluación de las ecuaciones de diferencia.	60
4.5.4. Etapa de salida.	61
<b>Capítulo 5.</b> Pruebas y resultados del sistema de control en el laboratorio.	66
5.1. Introducción.	66
5.2. Pruebas y resultados del regulador de velocidad tipo Takagi – Sugeno para un arreglo motor de c.d. - alternador.	66
<b>Capítulo 6.</b> Conclusiones, aportaciones y trabajos a futuros.	79
6.1. Conclusiones.	79
6.2. Aportaciones de la tesis.	80
6.3. Trabajos a futuros.	80
<b>Referencias.</b>	81
<b>Apéndice A.</b> Máquina de corriente directa.	85
A.1. Introducción.	85
A.2. Modelado matemático del motor de c.d. con corriente de campo Constante.	85

	Página
A.3. Simulación del control de velocidad tipo Takagi-Sugeno del motor de c.d. – alternador con lazo de corriente.	92
<b>Apéndice B.</b> Hojas de datos de los elementos empleados en elaboración de la etapa de potencia del regulador.	97
<b>Apéndice C.</b> Distribución de cada uno de los pines de los conectores de la tarjeta de evaluación con DSP.	101
<b>Apéndice D.</b> Diagrama eléctrico de la tarjeta de evaluación.	103
<b>Apéndice E.</b> Diagrama general de bloques del manejador de eventos del convertidor A/D y del SCI.	107
E.1. Diagrama a bloques del manejador de eventos.	107
E.2. Diagrama a bloques del convertidor A/D.	108
E.3. Diagrama a bloques del SCI.	109
<b>Apéndice F.</b> Programa Principal y archivos auxiliares.	110
F.1. Programa principal ( Sug_freq.asm).	110
F.2. Comandos básicos para comunicar al F240 ( Tesis.cmd).	122
F.3. Declaración de registros periféricos del DSP (f240regs,h).	123
F.4. Macros ( mcr_sug.h ).	127

## GLOSARIO

Bauds	Es el número de bits que se transmiten en la unidad de tiempo [bits x seg.].
Buffer	Espacio de memoria para almacenamiento temporal de datos.
Macro	Son líneas de programa que se ocupan más de una vez, dentro del programa principal. Su objetivo es el de minimizar el contenido de un programa, permitiendo una programación más sencilla y entendible.
WINDOWS	Sistema operativo para la computadora personal (versión 98.).

## LISTA DE SIMBOLOS

A/D	Analógico a digital (Nomenclatura para indicar la conversión de un dato analógico a digital).
$a_1$	Es la constante del error actual cuando el valor absoluto del error es bajo.
$a_2$	Es la constante del error actual cuando el valor absoluto del error es alto.
B	Coefficiente de fricción viscosa.
$b_1$	Es la constante del error anterior cuando el valor absoluto del error es bajo.
$b_2$	Es la constante del error anterior cuando el valor absoluto del error es alto.
$B_L$	Coefficiente de fricción viscosa de la carga.
$B_m$	Coefficiente de fricción viscosa del motor.
c.a.	Corriente alterna.
c.d.	Corriente directa.
DSP	Procesador de señales digitales (Digital Signal Processing).
$e(k)$	Error actual.
$ e(k) $	Valor absoluto del error actual.
$e(k-1)$	Error anterior.
$f_e$	Frecuencia eléctrica.
$I_1$	Corriente de Campo.
$I_A$	Corriente de armadura.

IEEE	Instituto de ingenieros eléctricos y electrónicos (The Institute of Electrical and Electronics Engineers).
IGBT	Transistor bipolar de compuerta aislada ( Isolated Gate Bipolar Transistor ).
ISR	Rutina de servicio de interrupción (Interrupt Service Routine).
J	Momento de inercia.
$J_L$	Momento de inercia de la carga.
$J_m$	Momento de inercia del motor.
K	Constante del motor = $L_{A1} I_1$ .
$K_{exc}$	Constante del excitador.
$K_t$	Constante del transductor.
$L_{11}$	Inductancia de campo.
$L_{A1}$	Inductancia mutua de velocidad.
$L_{AA}$	Inductancia de armadura.
LME	Laboratorio de máquinas eléctricas.
MOSFET	Transistor de efecto de campo con semiconductor de oxido metálico ( Metal Oxido Semiconductor Field Effect Ttransistors ).
NRZ	Ningún retorno a cero (nonreturn-to-zero).
$\mu$	Grado de membresía.
$\mu_{alto}$	Grado de membresía alto del valor absoluto del error.
$\mu_{bajo}$	Grado de membresía bajo del valor absoluto del error.
$\eta_m$	Velocidad mecánica en r.p.m.
P	Potencia real [Kw.].
PWM	Modulación del ancho de pulso (Pulse Width Modulated).
$R_l$	Resistencia de campo.
$R_A$	Resistencia de armadura.
SCI	Interfase de comunicación serial (Serie Communications Interfase).
SEP	Sistema eléctrico de potencia.
SEPI -ESIME	Sección de estudios de postgrado e investigación de la escuela superior de ingeniería mecánica y eléctrica.
Te	Par electromagnético.

$T_{ex}$	Constante de tiempo del excitador.
$T_L$	Par externo de carga.
$T_t$	Constante de tiempo del transductor.
$u(k)$	Salida total real discreta.
$u_1(k)$	Salida actual real evaluada cuando el valor absoluto del error esta en “BAJO”.
$u_2(k)$	Salida actual real evaluada cuando el valor absoluto del error esta en “ALTO”.
$u_1(k-1)$	Salida anterior real evaluada cuando el valor absoluto del error esta en “BAJO”.
$u_2(k-1)$	Salida anterior real evaluada cuando el valor absoluto del error esta en “ALTO”.
$V_1$	Voltaje de campo.
$V_A$	Voltaje de armadura.
$V_{cd}$	Voltaje en corriente directa.
$V_{ent.}$	Voltaje de entrada.
$V_m$	Voltaje medido.
$V_{PWM}$	Voltaje modulado.
$V_{sal.}$	Voltaje de salida.
$V_{ref.}$	Voltaje de referencia.
$\omega$	Velocidad rotacional ó frecuencia angular ( rad. / seg. ).

---



---

**LISTA DE FIGURAS**

Página

**CAPÍTULO 2**

Figura 2.1.	Comparación de los algoritmos de control difuso de Takagi – Sugeno y Mamdani.	10
Figura 2.2.	Funciones de membresía de tipo trapezoidal para la variable de entrada.	10
Figura 2.3.	Diagrama a broques del regulador de velocidad difuso tipo Takagi – Sugeno para el arreglo motor de c.d. – alternador.	11
Figura 2.4.	Respuesta a un escalón con: $K_p = 5, K_i = .25, p_1 = .5, p_2 = 1.5$ .	13
Figura 2.5.	Respuesta a un escalón con: $K_p = 1, K_i = .25, p_1 = .5, p_2 = 1.5$ .	13
Figura 2.6.	Respuesta a un escalón con: $K_p = 2, K_i = .25, p_1 = .5, p_2 = 1.5$ .	13
Figura 2.7.	Respuesta a un escalón con: $K_p = 2, K_i = .20, p_1 = .5, p_2 = 1.5$ .	13
Figura 2.8.	Respuesta a un escalón con: $K_{pb} = 2, K_{ib} = .20, K_{pa} = 3, K_{pb} = .20, p_1 = .5, p_2 = 1.5$ .	14
Figura 2.9.	Respuesta a un escalón con: $K_{pb} = 2, K_{ib} = .20, K_{pa} = 3, K_{pb} = .20, p_1 = .3, p_2 = .9$ .	14
Figura 2.10	Respuesta a un escalón con: $K_{pb} = 2, K_{ib} = .22, K_{pa} = 2.9, K_{pb} = .25, p_1 = .3, p_2 = .9$ .	14
Figura 2.11.	Comparación de las figuras 2.8, 2.9 y 2.10.	15
Figura 2.12.	Sistema de control.	16
Figura 2.13.	Diagrama a bloques de una planta con control y sistema equivalente.	16
Figura 2.14.	Funciones de membresía del control.	20

**CAPÍTULO 3**

Figura 3.1.	Diagrama a bloques de los elementos físicos que conforman el regulador de velocidad.	23
Figura 3.2.	Divisor de voltaje correspondiente a la etapa de entrada del control.	28
Figura 3.3.	Etapa de potencia.	29
Figura 3.4.	Módulo de evaluación y sus conexiones.	33
Figura 3.5.	Diagrama esquemático de la tarjeta de evaluación.	34
Figura 3.6.	Diagrama a bloques del temporizador de propósito general.	38



	Página
Figura 3.7. Generación de la señal PWM con el temporizador en modo ascendente continuo.	39

## **CAPÍTULO 4**

Figura 4.1. Diagrama a bloques del regulador de velocidad, empleando el algoritmo de control difuso de Takagi – Sugeno.	46
Figura 4.2. Diagrama de flujo del programa principal.	49
Figura 4.3. Rutina de servicio del A/D.	52
Figura 4.4. Gráfica Error Anterior – Velocidad vs. Tiempo.	57
Figura 4.5. Diagrama de flujo para la rutina MEMBERSHIP.	59
Figura 4.6. Diagrama de flujo de la rutina IMPLICACIONES_SUGENO.	61
Figura 4.7. Diagrama de flujo de la rutina SALIDA _ REAL.	62
Figura 4.8. Diagrama de flujo de la rutina PWM_OUT.	63
Figura 4.9. Protocolo de comunicación de la terminal de la PC.	65

## **CAPÍTULO 5**

Figura 5.1. Las gráficas a, c y e muestra diferentes etapas de señal PWM que entrega el DSP mediante el pin 12. Las gráficas b, d, f muestran la misma señal pero ahora medida en la compuerta del IGBT.	68
Figura 5.2. a) Señal medida en la compuerta del IGBT. b). Señal medida entre el colector y el emisor del IGBT.	68
Figura 5.3. Comportamiento del factor PWM, del absoluto del error y de la señal medida en el convertidor A/D durante la etapa de arranque del regulador.	69
Figura 5.4. Ruido inducido por el divisor de voltaje.	70
Figura 5.5. Comportamiento del factor PWM, del absoluto del error y de la señal medida en el convertidor A/D durante la etapa de arranque del regulador sin ruido.	70

	Página
Figura 5.6. a),c). Comportamiento de la señal PWM, medido en el pin 12 del DSP. b),d). Comportamiento de la señal PWM, medido en la compuerta del IGBT.	71
Figura 5.7. Comportamiento del factor PWM, del absoluto del error y de la señal medida en el convertidor A/D desde la etapa de arranque hasta la entrada de la etapa del control.	72
Figura 5.8. Comportamiento de la velocidad del motor de c.d desde el arranque hasta la entrada de la etapa del control.	72
Figura 5.9. Comportamiento de la velocidad del motor de c.d al aplicarle carga al alternador.	73
Figura 5.10. Comportamiento de la velocidad del motor de c.d al eliminarle carga al alternador.	73
Figura 5.11. Comportamiento de la velocidad del motor de c.d al presentarse un corto circuito monofásico en el alternador.	74
Figura 5.12. Comportamiento de la velocidad del motor de c.d al presentarse un corto circuito bifásico en el alternador.	74
Figura 5.13. Comportamiento de la velocidad del motor de c.d al presentarse un corto circuito trifásico en el alternador.	75
Figura 5.14. Equipo de laboratorio empleado para las pruebas.	75
Figura 5.15. Tarjeta de evaluación TMS320F240.	76

## **APÉNDICE A**

Figura A.1. Motor de c.d. con excitación separada con corriente de campo constante.	85
Figura A.2. Diagrama a bloques de un motor de c.d. con excitación separada utilizado para simulación.	89
Figura A.3. Simulación del motor de corriente directa con el modelo lineal. (a) corriente de armadura. (b) Velocidad angular.	89
Figura A.4. Diagrama a bloques del motor de c.d. con excitación separada considerando la corriente de campo constante y alimentación tipo rampa.	90
Figura A.5. Diagrama a bloques del motor de c.d. con excitación separada considerando la corriente de campo constante, con lazo y limitador de corriente.	90

	Página
Figura A.6. Respuesta del motor de c.d. mediante alimentación tipo rampa. (a) Velocidad angular. (b). Corriente de armadura.	91
Figura A.7. Respuesta del motor de c.d. con lazo de corriente. (a)Velocidad angular. (b) Corriente de armadura. $K_p=10, K_i=K_p/T_i=9.2$ .	91
Figura A.8. Diagrama a bloques del control de velocidad tipo Takagi – Sugeno para el arreglo motor de c.d. - alternador, con lazo de corriente.	92
Figura A.9. Respuesta ante el control de la $I_A$ y la $\omega$ del motor de c.d.- alternador bajo las siguientes condiciones: $K_p = 0.52$ ; $K_i = 0.40$ ; $K_{pb} = 1.75$ ; $K_{ib} = 0.01$ ; $K_{pa} = 1.9$ ; $K_{ia} = 0.25$ ; $T_L = 0$ N.m. y alimentación de $V_A$ tipo escalón.	93
Figura A.10. Respuesta ante el control de la $I_A$ y la $\omega$ del motor de c.d.- alternador bajo las siguientes condiciones: $K_p = 0.52$ ; $K_i = 0.40$ ; $K_{pb} = 1.75$ ; $K_{ib} = 0.01$ ; $K_{pa} = 1.9$ ; $K_{ia} = 0.25$ ; $T_L = 4.77$ N.m. y alimentación de $V_A$ tipo escalón.	93
Figura A.11. Respuesta ante el control de la $I_A$ y la $\omega$ del motor de c.d.- alternador bajo las siguientes condiciones: $K_p = 0.52$ ; $K_i = 0.40$ ; $K_{pb} = 26.75$ ; $K_{ib} = 15.53$ ; $K_{pa} = 28$ ; $K_{ia} = 0.93$ ; $T_L = 0$ N.m. y alimentación de $V_A$ tipo rampa.	94
Figura A.12. Respuesta ante el control de la $I_A$ y la $\omega$ del motor de c.d.- alternador bajo las s siguientes condiciones: $K_p = 0.52$ ; $K_i = 0.40$ ; $K_{pb} = 26.75$ ; $K_{ib} = 15.53$ ; $K_{pa} = 28$ ; $K_{ia} = 0.93$ ; $T_L = 4.77$ N.m. y alimentación de $V_A$ tipo rampa.	94
Figura A.13. Respuesta ante el control de la $I_A$ y la $\omega$ del motor de c.d.- alternador bajo las siguientes condiciones: $K_p = 0.52$ ; $K_i = 0.40$ ; $K_{pb} = 26.75$ ; $K_{ib} = 15.53$ ; $K_{pa} = 28$ ; $K_{ia} = 0.93$ ; $T_L = 0.8$ N.m. y alimentación de $V_A$ tipo rampa.	95
Figura A.14. Amplificación de la gráfica velocidad vs. Tiempo de la figura A.13.	95

## LISTA DE TABLAS

### APÉNDICE A

Tabla A.1. Especificaciones y parámetros del motor de c.d.	87
--	----

---

# INTRODUCCIÓN



# 1 CAPÍTULO

---

## 1.1 Generalidades

Los motores de corriente directa (c.d.), son máquinas de c.d. que producen energía mecánica a partir de energía eléctrica de c.d. Estos dispositivos hasta hace algunos años, fueron indispensables en aplicaciones en donde se requerían amplias variaciones en la velocidad, sin embargo con la miniaturización de los elementos en estado sólido, los motores de inducción con paquetes de accionamiento se han hecho mas competitivos. Esto se debe a que los motores de c.d. requieren mayor mantenimiento debido a la existencia del conmutador y las escobillas. A pesar de ello, los motores de c.d. no se podrán dejar de utilizar repentinamente, ya que actualmente se encuentran funcionando en muchas aplicaciones industriales y una gran cantidad de ellos cuentan con una larga vida útil.

En el campo del control de velocidad de los motores de c.d, además de poder aplicar las técnicas convencionales del control se pueden aplicar técnicas de control inteligente, como lo es la lógica difusa. Dentro de la lógica difusa, existen dos algoritmos muy conocidos que son: Mamdani y Takagi Sugeno [1,2]. Estos algoritmos han tenido gran utilidad en aplicaciones reales, ya que existen actualmente avances significativos en microelectrónica y electrónica de potencia. [3, 4, 5, 6, 7, 8, 9, 10].Una de las herramientas más poderosas que han aparecido en el mercado de la microelectrónica, lo constituyen los procesadores de señales digitales (DSP) ya que presentan gran versatilidad en su programación [11,12]. Dentro de sus características de programación más importantes destaca el procesamiento en paralelo, ya que esto permite hacer operaciones de multiplicación en un solo ciclo de reloj.

---

El DSP cuenta además de:

- Puertos de comunicación serie.
- Doble convertidor analógico a digital.
- Unidad generadora de modulación de Ancho de Pulso.

Dentro de la electrónica de potencia se cuenta con transistores bipolares de compuerta aislada (IGBT's) de alta velocidad de conmutación y opto acopladores de respuesta rápida. Los IGBT's permiten manejar altos valores de voltaje de salida (mayores a 127V), valores grandes de corriente (mayores de 10A) y velocidades de conmutación superiores a 50Khz [13]. Los opto acopladores presentan niveles de aislamiento mayores 1500V y son de repuesta rápida [13,14].

## 1.2 ESTADO DEL ARTE

En 1965 L. A. Zadeh, profesor de teoría de sistemas de la Universidad de California en Berkely publicó un artículo llamado conjuntos difusos, que dio origen a innumerables trabajos sobre lógica difusa [15], la cual permitió tener una alternativa programable de control y proceso tecnológico que trata con el tipo de descripciones subjetivas o ambiguas que son comúnmente usadas en el mundo real [16].

Cuando Lofti Zadeh se dio cuenta que la naturaleza de la lógica Booleana, no tomaba en cuenta los distintos grados de veracidad o falsedad de una proposición real, expandió la idea de un conjunto clásico Booleano a lo que llamó conjunto difuso para poder tomar en cuenta las infinitas variaciones entre verdad y falso. Una vez que la lógica difusa fue inventada en Estados Unidos, no tuvo gran desenvolvimiento, ya que dio origen a muchas criticas [17], fue entonces que en Europa se perfeccionó y a mediados de los años 70 tuvo su primera aplicación industrial. En el Queen Mary College en Londres, Inglaterra, Ebrahim Mamdani usó la lógica difusa para controlar una máquina de vapor, la cual no podía tener bajo control con técnicas convencionales. Por tal razón se le debe la

aplicación de un algoritmo de control, el cual consiste en 3 pasos importantes que son: Generación de Valores Difusos, Evaluación de Reglas y Generación de Valores Reales [2].

Inspirados los japoneses por las primeras aplicaciones Europeas las compañías comenzaron a usar la lógica difusa. Una de ellas fue en una planta de tratamiento de agua por Fuji Electric en 1983 y un sistema del metro por Hitachi que operó en 1987 [17]. A mediados de 1985 Tomohiro Takagi y Michio Sugeno proponen un nuevo modelo de control difuso que se emplea en un proceso de limpiado de agua y en un convertidor que se utiliza en el proceso de hacer acero [2]. En ese mismo año dos hombres Japoneses Masaki Togai y Hiroyuki Watanabe inventaron el primer circuito integrado difuso, lo cual provocó que muchas compañías empezaran a interesarse por el circuito integrado para implementarlo en sus sistemas. Esta nueva técnica llevó a Japón a comercializar con la lógica difusa, dado que fabrica actualmente aparatos de la industria de consumo, tales como vídeo cámaras, cámaras fotográficas, televisores, lavadoras, componentes de carros japoneses, entre otros [3].

En 1989, las principales corporaciones Europeas empezaron a esforzarse para promover la lógica difusa en sus aplicaciones. Desde entonces, más de 200 productos exitosos han sido lanzados al mercado Europeo. Además, han tenido éxito con el uso de la lógica difusa un incontable número de aplicaciones en el control de procesos y en automatización industrial [17].

En los 90's se desarrollaron varios trabajos con lógica difusa que sirvieron como base para la realización de la tesis y que fueron desarrollados por:

- Timothy A. Adcock en 1993 [4]. Él reporta una breve descripción de la lógica difusa en forma general y describe detalladamente el algoritmo de Mamdani. Este algoritmo es implementado en un procesador de señales digitales TMS320C14 para el control de un Servo Motor.

- Cortes Mateos Raúl [6]. Él describe el análisis, diseño e implementación de un control de excitación para un generador síncrono por medio de un control difuso. Se presentan las bases de la lógica difusa y la operación de los modelos de control difuso de Mamdani y Takagi Sugeno aplicados al control de excitación de un generador síncrono.

Se realiza además un algoritmo nuevo para la sintonización de los controles difusos basados en las relaciones entre los modelos matemáticos de Mamdani, Takagi Sugeno y un control PI de estructura variable. La implementación se realizó en una pastilla de 8 bits y la programación se desarrolló para un tiempo real multitareas, consistentes en: a) realizar las funciones de sincronía, b) disparar un puente de transistores, c) realizar un filtro predictivo para evitar falsos disparos, d) medir el voltaje nominal y de campo del generador, e) comunicarse con una computadora personal y f) calcular el algoritmo de control. El prototipo fue probado en un generador de 5KVA, sometido a cambios de carga, así como a pruebas de corto circuito y liberación de éste.

- H.M. Gerardo Celso [7]. Él presenta el análisis y diseño de un control difuso de velocidad de un motor de corriente directa con excitación separada, empleando el algoritmo Mamdani. El control difuso de velocidad se realizó a través de la variación de voltaje de armadura y de campo. Se realizaron además estudios para determinar el número de funciones de membresía con el que el control difuso obtiene mejores resultados. En este trabajo no se realizó implementación.
- Díaz García Luis M [8]. En su trabajo desarrolla una tarjeta para el control difuso de velocidad de un motor de c.d. basado en el paquete FUDGE. En el se muestra el diseño y construcción de un sistema de control de velocidad difuso para un motor de corriente directa mediante el microcontrolador 68HC11. El algoritmo de control usado fue el de Mamdani. El programa determina el ángulo de disparo de los tiristores del semiconvertidor monofásico controlado por fase permitiendo con ello variar la velocidad del motor por voltaje de armadura.

Un trabajo que no emplea lógica difusa pero que ayudo a la elaboración de la tesis es:

Generating a PWM Signal Modulated by an Analog Input Using the TMS320F240 [18]. En éste trabajo se realiza la modelación del ancho de pulso mediante un voltaje que se digitaliza por el convertidor analógico digital (ADC).

### **1.3 JUSTIFICACIÓN**

Una de las necesidades que se tiene en sistemas eléctricos de potencia (SEP), es el de mantener en un nivel de referencia la frecuencia en el alternador, evitando variaciones de esta debido a cambios de carga, envejecimiento del equipo y cambios en las condiciones climatológicas. La regulación de la frecuencia se realiza por medio de un gobernador que permite controlar la velocidad de la turbina.

Con motivo de asimilar las nuevas tecnologías y aplicarlas en los controles de velocidad la presente tesis enfoca su importancia en los siguientes puntos:

- 1.- La necesidad de implementar reguladores de velocidad más eficientes y capaces de asimilar los cambios en el ramo de la microelectrónica y electrónica de potencia.
- 2.- La necesidad de contar con una infraestructura en el laboratorio de máquinas de la Sección de Estudios de Posgrado e Investigación (SEPI-ESIME) unidad Zacatenco, con el fin de poder hacer aplicaciones en el campo de SEP's y aplicaciones de control inteligente a máquinas rotatorias, para fines de investigación y docencia.

### **1.4 OBJETIVO**

Implementar un regulador de velocidad difuso tipo Takagi - Sugeno para un arreglo motor de c.d. - alternador, usando el procesador de señales digitales (DSP) TMS320F240, con propósitos de investigación y docencia. Para lograr este objetivo se requiere cumplir las siguientes metas:



- Obtener el modelo del arreglo motor de c.d. – alternador - regulador de velocidad para realizar la sintonización y el estudio de estabilidad.
- Realizar el algoritmo de control para la regulación de la velocidad.
- Implementar una herramienta para realizar la regulación de la velocidad.
- Probar en el laboratorio el regulador de velocidad.

## 1.5 ESTRUCTURA DE LA TESIS

El **Capítulo 1** corresponde a la introducción. En el se plantea una breve descripción del problema a abordar, el estado del arte, la justificación, el objetivo, y la estructura de la tesis.

En el **Capítulo 2** se explica el algoritmo de control difuso tipo Takagi-Sugeno, la metodología empleada para la sintonización del control y el análisis de estabilidad del regulador de velocidad del arreglo motor de c.d. - alternador.

En el **Capítulo 3** se describe el esquema del regulador de velocidad, detallando cada uno de sus bloques y mencionando que elementos físicos los constituyen. Se da además, una breve reseña de la arquitectura y funcionamiento de la tarjeta de evaluación TMS320F240, poniendo principalmente énfasis a las partes que se utilizaron para el regulador.

En el **Capítulo 4** se abarca el diseño e implementación del programa para el sistema de control. En el se brinda una descripción general del funcionamiento de este y la estructura del mismo. Además se explica la disposición de los bloques de memoria del DSP para la implementación del programa. Por último se expone y se detalla la programación en el DSP, de los distintos módulos que constituyen el programa empleado para el sistema de control.

En el **Capítulo 5** se mencionan las pruebas hechas en el laboratorio y los resultados obtenidos del sistema de control.

El **Capítulo 6** contiene las conclusiones, las aportaciones y los trabajos a futuro.

---

---

**CONTROL DE VELOCIDAD DIFUSO  
TIPO TAKAGI – SUGENO PARA UN  
ARREGLO MOTOR DE C.D. - ALTERNADOR**



---

## **2.1 INTRODUCCIÓN**

A partir de la publicación en 1965 del repote llamado conjuntos difusos hecho por Lotfi Zadeh, profesor de la Universidad de California en Berkeley, se desarrolló formalmente la teoría de sistemas multivaluados y se introdujo el termino difuso en la literatura técnica [19]. La lógica difusa a diferencia de la lógica Booleana, cuenta con múltiples valores. En lugar de que sea 100% verdadero o falso la lógica difusa considera grados de verdad, esto quiere decir que una proposición puede ser parcialmente verdadera o parcialmente falsa [3].

Con la lógica difusa se pueden diseñar aplicaciones para que las máquinas respondan con mayor inteligencia a la imprecisión y a las condiciones del mundo exterior, con lo que se busca imitar el comportamiento humano. La creación de una máquina con lógica difusa, es la creación de un sistema experto, en donde el comportamiento de la máquina, va ha estar basado totalmente en el conocimiento del experto o de la persona que aporta sus conocimientos empíricos para el funcionamiento de ésta.

En los últimos años el control difuso ha surgido como una de las áreas más activas en la aplicación de la teoría de los conjuntos difusos. Los controles difusos están basados en la lógica difusa, que es lo más cercano al pensamiento humano y a los sistemas lógicos tradicionales. En esencia un controlador lógico difuso contiene un algoritmo capaz de convertir una estrategia de control lingüística en una estrategia de control automática.

---

---

## 2.2. CONTROL DE VELOCIDAD DIFUSO TIPO TAKAGI – SUGENO.

Dentro de la lógica difusa existen dos métodos muy conocidos que son: Mamdani y Takagi Sugeno [1,2]. De estos dos métodos el algoritmo que emplearemos para el control de velocidad será el de Takagi – Sugeno. La razón principal radica en que este algoritmo tiene la característica de ocupar muy poco espacio de memoria, cuando se realiza la programación para la implementación en sistemas simulados o en sistemas físicos experimentales.

La característica antes mencionada puede ser vista en la figura 2.1 ya que en ella se muestra la comparación en diagrama a bloques del algoritmo de Takagi – Sugeno y el algoritmo de Mandami [1, 2, 6].

Para describir en este apartado como se obtuvo el diseño del regulador de velocidad para el arreglo motor de c.d. – alternador empleando el algoritmo de Takagi – Sugeno, es necesario auxiliarnos de la figura 2.1.

En ella se puede ver que se necesita una etapa de generación de valores difusos mediante funciones de membresía de entrada. Para ello consideraremos las funciones de membresía de tipo trapezoidal tal como lo muestra figura 2.2.

Las funciones de membresía que se muestran en la figura 2.2 fueron empleadas en la referencia [6] y caracterizadas de la siguiente manera [1, 2]:

- La abscisa corresponde al valor absoluto del error siendo este, el valor absoluto de la diferencia existente entre un valor de referencia y un valor medido.
- La ordenada corresponde al grado de membresía del valor absoluto del error, siendo este la salida difusa.
- “BAJO” y “ALTO” son las etiquetas de las funciones de membresía.

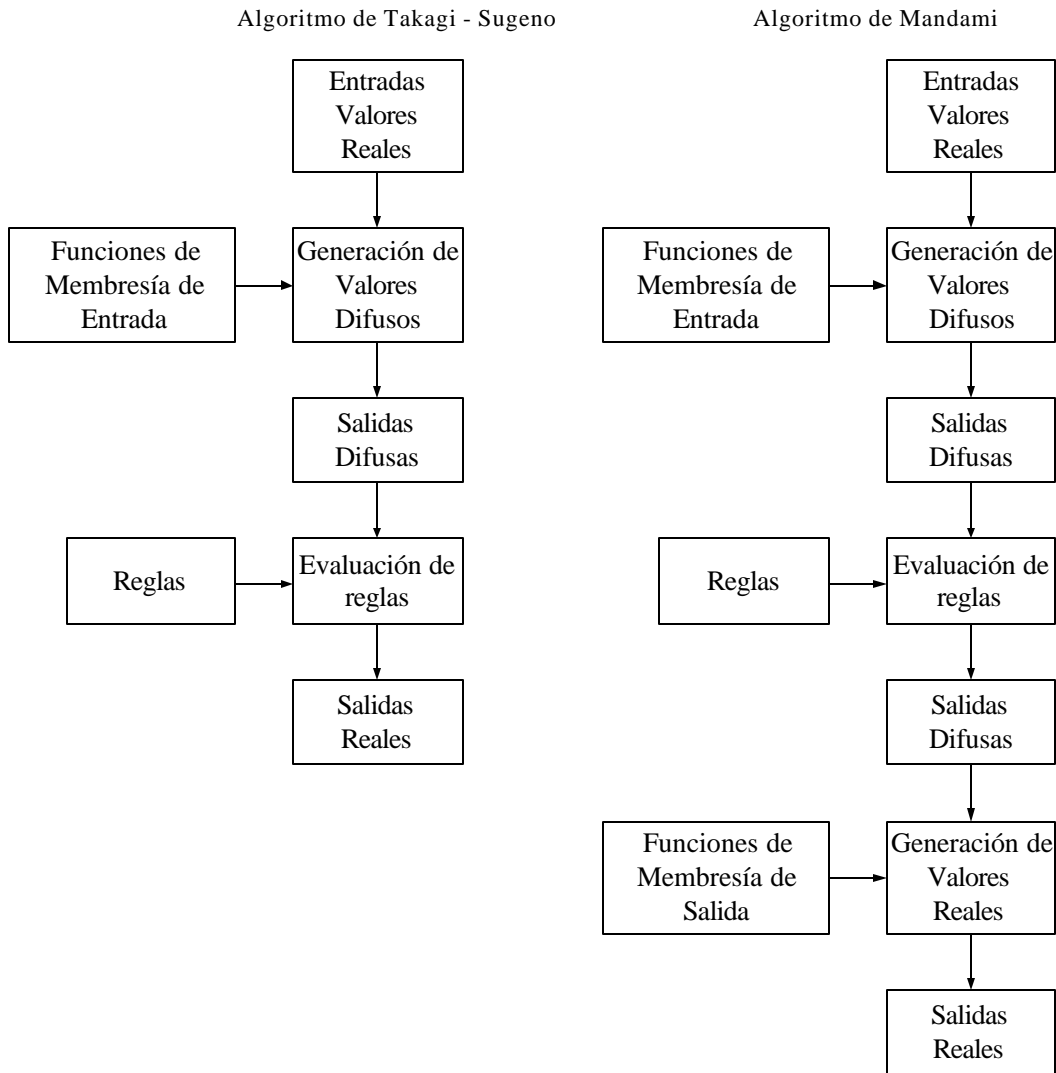


Figura 2.1. Comparación de los algoritmos de control difuso de Takagi – Sugeno y Mandami.

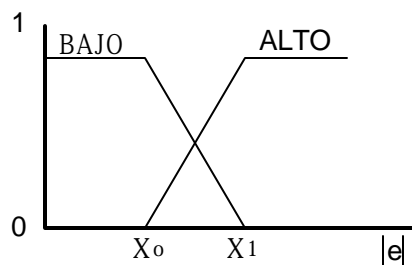


Figura 2.2. Funciones de membresía de tipo trapezoidal para la variable de entrada

Una vez que se obtiene la salida difusa, se puede ver en la figura 2.1 que la siguiente etapa es la evaluación de reglas. Un análisis que se desarrolló en la referencia [6] llevo a que esta etapa podía ser evaluada por la siguiente ecuación:

$$u(k) = u(k-1) + ae(k) - be(k-1) \tag{2.1}$$

con :  $a = K_p + K_i$  ;  $b = K_p$  ;  $K_p, K_i =$  Ganancia proporcional e integral respectivamente.

Partiendo de la ecuación anterior y considerando como entrada el absoluto del error y dos funciones de membresía “BAJO” y “ALTO” tal y como se muestra en la figura 2.2, se puede construir un control difuso con el modelo de Takagi – Sugeno como sigue:

Si  $|e(k)|$  es bajo entonces  $u_1(k) = u_1(k-1) + a_1e(k) - b_1e(k-1)$  (2.2)

Si  $|e(k)|$  es alto entonces  $u_2(k) = u_2(k-1) + a_2e(k) - b_2e(k-1)$  (2.3)

La salida real que se muestra en el último bloque del algoritmo de Takagi - Sugeno de la figura 2.1 es obtenida de la siguiente ecuación:

$$u(k) = \frac{u_1(k) \dot{i}_{bajo}(k) + u_2(k) \dot{i}_{alto}(k)}{\dot{i}_{bajo}(k) + \dot{i}_{alto}(k)} \tag{2.4}$$

El esquema básico del controlador difuso tipo Takagi – Sugeno aplicado al control de velocidad de un arreglo motor de c.d. - alternador se muestra a continuación:

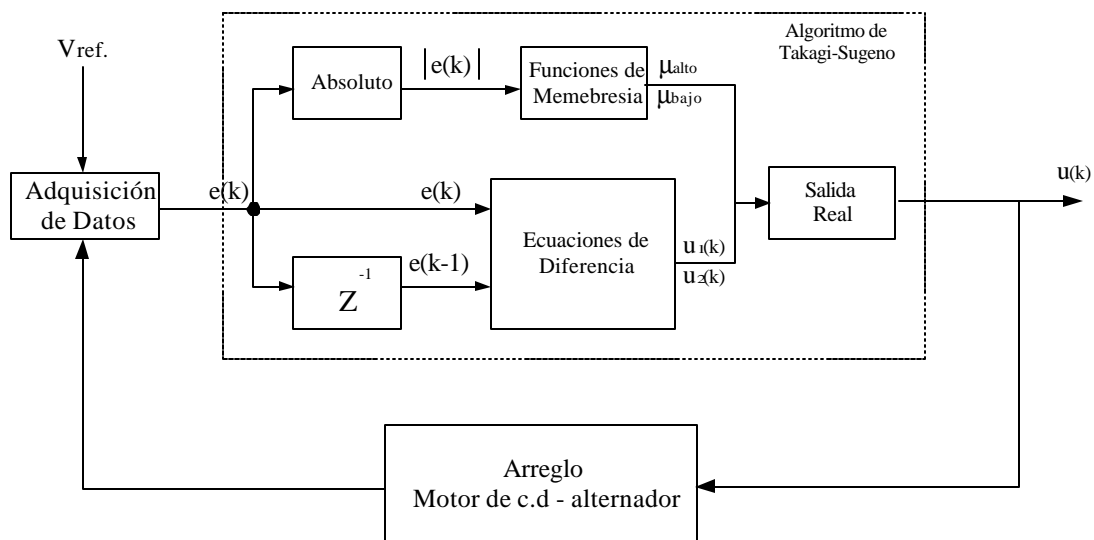


Figura 2.3. Diagrama a bloques del regulador de velocidad difuso tipo Takagi – Sugeno para el arreglo motor de c.d. - alternador.

---

---

### 2.3. SINTONIZACION DE UN CONTROL DIFUSO TIPO TAKAGI – SUGENO.

El algoritmo de sintonización para el modelo de Takagi – Sugeno usado en este trabajo fue desarrollado en la referencia [6]. Este algoritmo consiste en los siguientes pasos:

1. Ajustar  $K_i$  en el mínimo para ambas regiones del error. Al ajustar los valores de las constantes en ambas regiones en el mismo valor, se comporta como si fuera una sola regla ó un control PI convencional.
2. Ajustar el valor máximo permitido de  $K_p$  para ambas regiones del error, antes de que oscile el sistema.
3. Ajustar  $K_i$  en las regiones de error bajo y alto en un valor que de una respuesta sobreamortiguada.
4. Ajustar las funciones de membresía de error alto y bajo de forma conservadora por ejemplo, si se tiene “ $p1=.15$ ” y “ $p2=.3$ ” se puede cambiar por “ $p1=.2$ ”  $p2=.4$ ” .
5. Aumentar el valor de  $K_i$  y  $K_p$  en la región de error alto, hasta obtener el tiempo de subida deseado.
6. Aumentar el valor de  $K_i$  en la región de error bajo, hasta reducir el error estacionario a cero.
7. Disminuir el valor de  $K_i$  y  $K_p$  en la región de error bajo, para disminuir oscilaciones y sobretiro.
8. Disminuir el valor de  $K_i$  en la región de error alto, para evitar oscilaciones en la transición entre el error bajo y alto.

9. Cada vez que se ajusten las funciones de membresía de error alto y bajo de la misma forma como se realizo en el paso 4 hay que repetir los pasos 5,6,7,8 hasta obtener una transición mínima.

La aplicación de este algoritmo al regulador de velocidad para el arreglo motor de c.d.-alternador, se puede ver en la serie de figuras de la 2.4 a la 2.11, donde “ $K_{pb}$ ”, “ $K_{ib}$ ” son las ganancias proporcional e integral para la región de error bajo, “ $K_{pa}$ ”, “ $K_{ia}$ ” son las ganancias proporcional e integral para la región de error alto respectivamente y “ $p_1$ ” y “ $p_2$ ”, son los puntos de cruce con cero de las funciones de membresía.

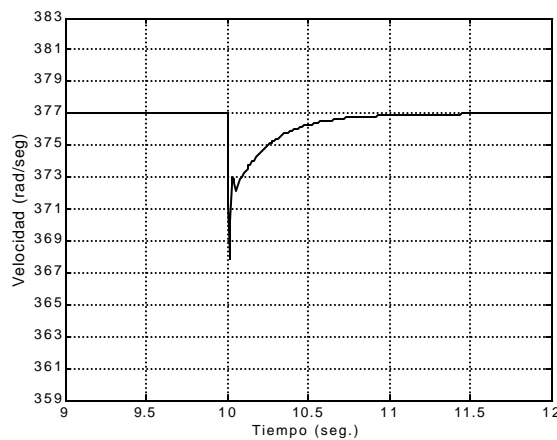


Figura 2.4. Respuesta a un escalón con:

$$K_p = 5, K_i = .25, p_1 = .5, p_2 = 1.5$$

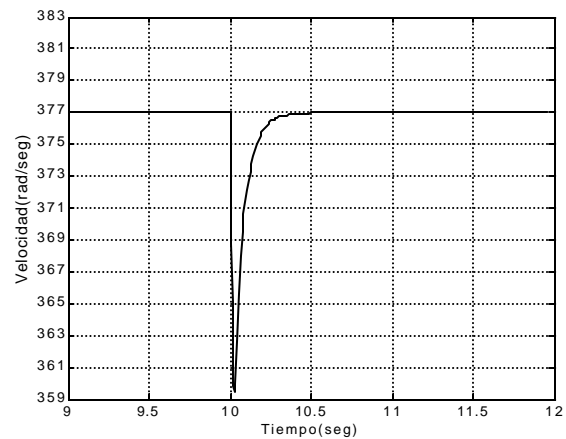


Figura 2.5. Respuesta a un escalón con:

$$K_p = 1, K_i = .25, p_1 = .5, p_2 = 1.5$$

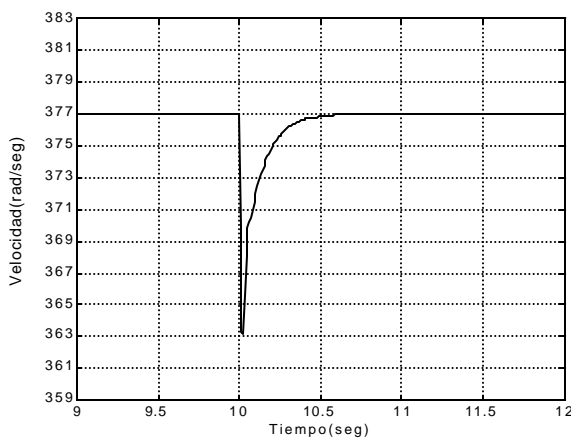


Figura 2.6. Respuesta a un escalón con:

$$K_p = 2, K_i = .25, p_1 = .5, p_2 = 1.5$$

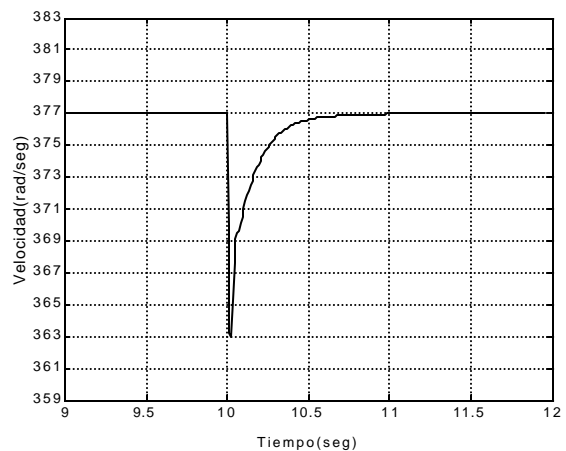


Figura 2.7. Respuesta a un escalón con:

$$K_p = 2, K_i = .20, p_1 = .5, p_2 = 1.5$$



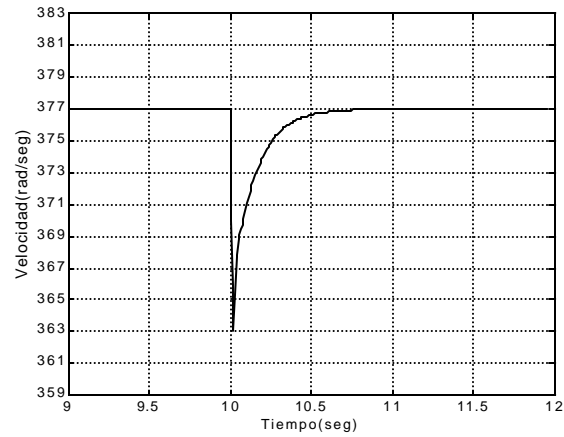


Figura 2.8. Respuesta a un escalón con:  $K_{pb} = 2$ ,  $K_{ib} = .20$ ,  $K_{pa} = 3$ ,  $K_{pb} = .20$   $p_1 = .5$ ,  $p_2 = 1.5$

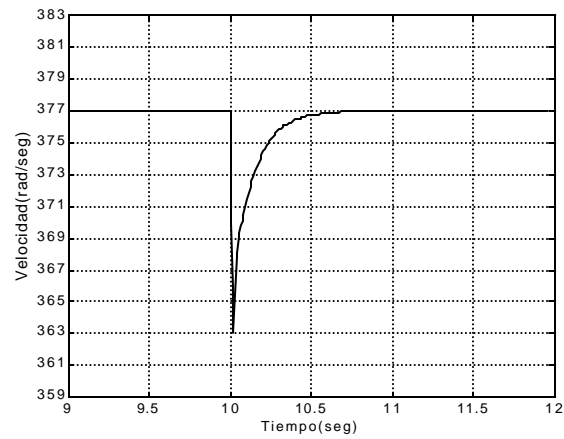


Figura 2.9. Respuesta a un escalón con:  $K_{pb} = 2$ ,  $K_{ib} = .20$ ,  $K_{pa} = 3$ ,  $K_{pb} = .20$   $p_1 = .3$ ,  $p_2 = .9$

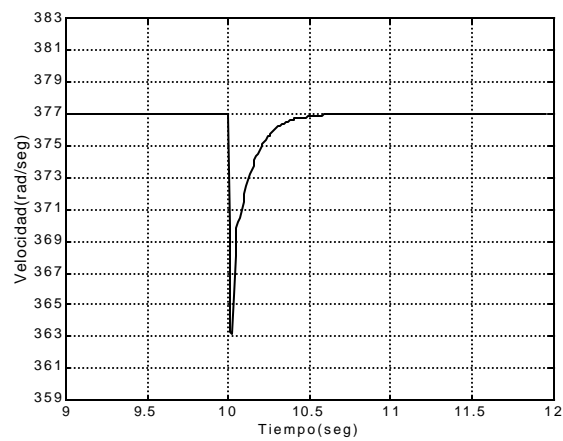


Figura 2.10. Respuesta a un escalón con:  $K_{pb} = 2$ ,  $K_{ib} = .22$ ,  $K_{pa} = 2.9$ ,  $K_{pb} = .25$   $p_1 = .3$ ,  $p_2 = .9$

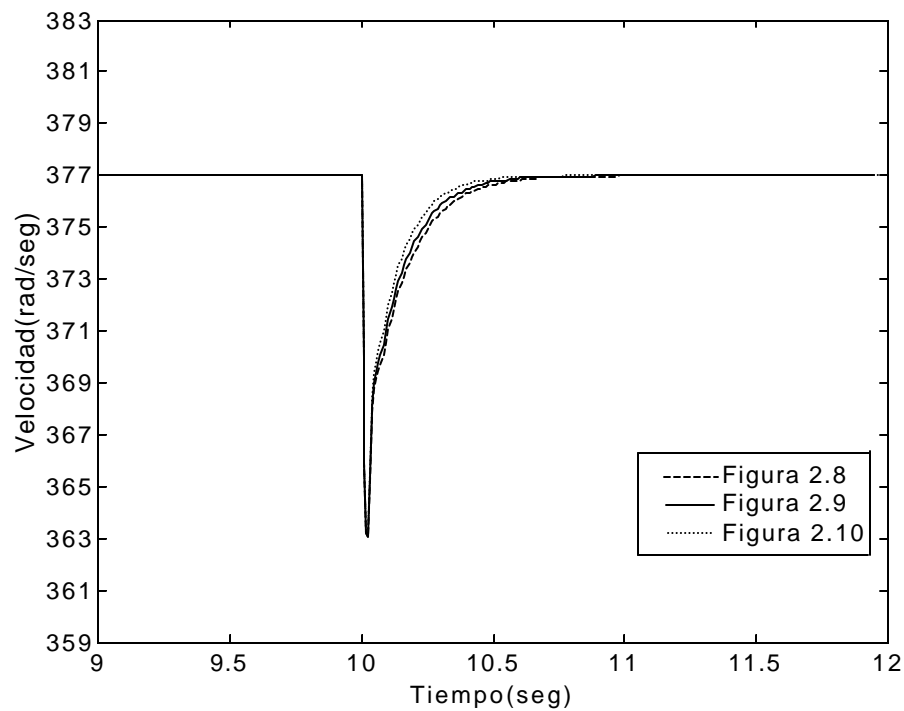


Figura 2.11. Comparación de las figuras 2.8, 2.9 y 2.10

## 2.4. ANÁLISIS DE ESTABILIDAD DEL REGULADOR TIPO TAKAGI – SUGENO.

### 2.4.1 Modelo equivalente de un control difuso y una planta [6].

Para el análisis de estabilidad se tienen que encontrar las ecuaciones de estado equivalentes al control de velocidad y a la planta.

A partir de la ecuación  $u(k) = u(k-1) + ae(k) - be(k-1)$  que permite construir el modelo de control difuso, se obtiene la función de transferencia dada por:

$$\frac{u(z)}{e(z)} = \frac{(a - bz^{-1})}{(1 - z^{-1})} = \frac{(az - b)}{(z - 1)} \quad (2.5)$$

y por medio de la fórmula de Mason's, tal y como se observa en la figura 2.12 se obtienen las ecuaciones en variables de estado en forma discreta:

$$\begin{aligned} x(k+1) &= x(k) + e(k) \\ u(k) &= (a-b)x(k) + ae(k) \end{aligned} \tag{2.6}$$

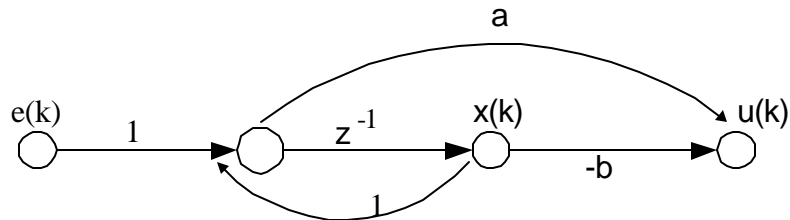


Figura 2.12. Sistema de control.

Después de obtener las ecuaciones en variables de estado del control, se requiere obtener las ecuaciones del sistema equivalente al control y la planta. En la figura 2.13 se ilustra el diagrama a bloques de la planta, del control de voltaje y el sistema equivalente con sus correspondientes variables de estado, donde se puede observar que las variables de estado están numeradas de la 1 a la  $i$  para la planta y de la  $i$  a la  $n$  para el control.

El objetivo es obtener un sistema que contenga las variables de estado de la 1 a la  $n$  tal y como se muestra en el bloque inferior de la figura 2.13.

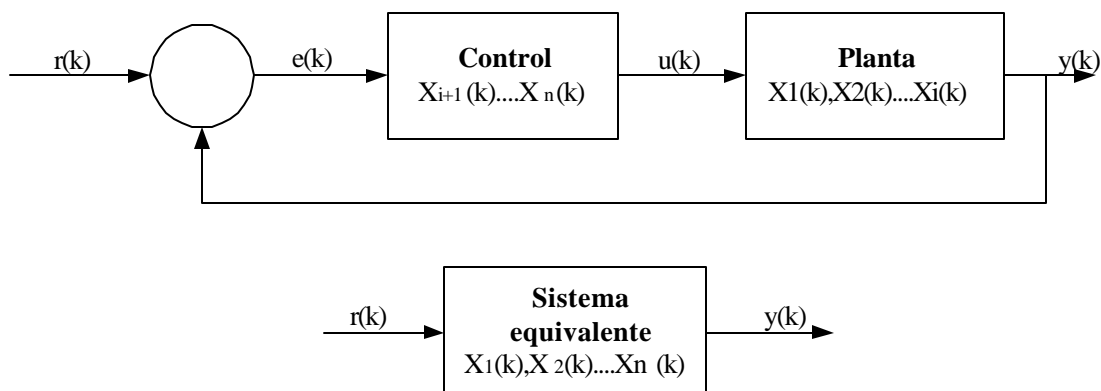


Figura 2.13. Diagrama a bloques de una planta con control y sistema equivalente.

Las ecuaciones de estado son:

$$\text{Para el sistema equivalente: } x(k+1) = A_1x(k) + B_1u(k) + B_2e(k) \quad (2.7)$$

$$\text{Para la planta: } y(k) = Cx(k) \quad (2.8)$$

$$\text{Para el control: } u(k) = C_1x(k) + D_1e(k) \quad (2.9)$$

$$\text{El error es: } e(k) = r(k) - y(k) = r(k) - Cx(k) \quad (2.10)$$

Sustituyendo (2.10) en (2.9) se tiene:

$$u(k) = (C_1 - D_1C)x(k) + D_1r(k) \quad (2.11)$$

Sustituyendo (2.10) y (2.11) en (2.7) se obtiene la ecuación del sistema equivalente:

$$x(k+1) = (A_1 + B_1C_1 - (B_2 + D_1B_1)C)x(k) + (D_1B_1 + B_2)r(k)$$

Si

$$A_{eq} = A_1 + B_1C_1 - (B_2 + D_1B_1)C$$

$$B_{eq} = D_1B_1 + B_2$$

entonces:

$$x(k+1) = A_{eq}x(k) + B_{eq}r(k) \quad (2.12)$$

Si el control es como el propuesto en la ecuación 2.2 y 2.3 se tendrían dos ecuaciones de subsistemas lineales equivalentes al modelo de Sugeno tal y como se muestra a continuación:

$$\text{Si } |e(k)| \text{ es "bajo"} \Rightarrow x(k+1) = A_{eq1}x(k) + B_{eq1}r(k) \quad (2.13)$$

$$\text{Si } |e(k)| \text{ es "alto"} \Rightarrow x(k+1) = A_{eq2}x(k) + B_{eq2}r(k)$$

La dinámica del modelo difuso aproximado esta representado por:

$$x(k+1) = \frac{\sum_{i=1}^l w^i(k) \{A_{eqi} x(k) + B_{eqi} r(k)\}}{\sum_{i=1}^l w^i(k)} \quad (2.14)$$

donde:

$$l = 2$$

$w^i$  = Implica el grado de verdad de la regla i.

y el sistema libre esta representado por:

$$x(k+1) = \frac{\sum_{i=1}^l w^i(k) A_{eqi} x(k)}{\sum_{i=1}^l w^i(k)} \quad (2.15)$$

con:  $l = 2$ .

#### 2.4.2 Aplicación del Teorema de Liapunov a los controles difusos.

Una condición de estabilidad derivada por Tanaka y Sugeno para asegurar la estabilidad de la ecuación (2.15) ha sido analizada en [20, 21, 22], a partir del siguiente teorema:

*El equilibrio de un sistema difuso descrito por la ecuación (2.15) es asintóticamente estable en todo espacio de estado si existe un matriz definida positiva P tal que:*

$$A_i^T P A_i - P < 0 \quad (2.16)$$

para  $i \in \{1, 2, \dots, l\}$ , o sea para todos los subsistemas.

Se puede notar que la ecuación (2.16) depende solo de  $A_i$ , en otras palabras no depende de  $w_i$ . Este teorema es reducido al teorema de estabilidad de Liapunov para sistemas discretos lineales cuando  $l=1$ .

En forma general; asumiendo que P y Q son matrices positivas el problema consiste en definir primero una matriz definida positiva Q y después ver si es posible determinar una matriz definida positiva P a partir de la solución de la siguiente ecuación:

$$A_i^T P A_i - P = -Q \quad (2.17)$$

### 2.4.3 Análisis de estabilidad para el regulador de velocidad de arreglo motor de c.d. – alternador.

La función de transferencia del sistema equivalente obtenida del diagrama a bloques del apéndice A (ecuación A.9) es:

$$f_t = \frac{0.578952}{0.0001244s^2 + 0.0149895s + 0.340526}$$

El sistema en variables de estado equivalente es:

$$\begin{aligned} \dot{x} &= Ax + Bu \\ y &= Cx \end{aligned}$$

con:

$$A = \begin{bmatrix} -120.5 & -2737.3 \\ 1 & 0 \end{bmatrix}; \quad B = \begin{bmatrix} 1 \\ 0 \end{bmatrix}; \quad C = [0 \quad 4654];$$

Las ecuaciones de la planta en variables de estado considerando un tiempo de muestreo de 0.01seg y usando el método de Tustin son:

$$\begin{aligned} x(k+1) &= Ax(k) + Bu(k) \\ y(k) &= Cx(k) \end{aligned}$$

con

$$A = \begin{bmatrix} 0.1969600 & -16.38200 \\ 0.0059848 & 0.91809 \end{bmatrix}; \quad B = \begin{bmatrix} 0.59848 \\ 0.0029924 \end{bmatrix}; \quad C = [0.13926 \quad 44.633];$$

El regulador de velocidad del arreglo motor de c.d. – alternador con las ecuaciones de membresía como las de la figura 2.14 esta representado por las siguientes ecuaciones:

Si  $|e(k)|$  es “bajo” entonces  $u_1(k) = u_1(k-1) + a_1 e(k) - b_1 e(k-1)$

Si  $|e(k)|$  es “alto” entonces  $u_2(k) = u_2(k-1) + a_2 e(k) - b_2 e(k-1)$

donde  $a_1=2.22, b_1=2 \quad a_2=3.15, b_2=2.9$

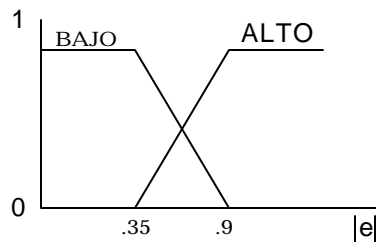


Figura 2.14. Funciones de membresía del control

Aplicando la ecuación (2.13) se obtienen los siguientes subsistemas difusos equivalentes

Si  $|e(k)|$  es “bajo”  $\Rightarrow x(k+1) = A_{eq1}x(k) + B_{eq1}r(k)$

Si  $|e(k)|$  es “alto”  $\Rightarrow x(k+1) = A_{eq2}x(k) + B_{eq2}r(k)$

donde:

$$A_{eq1} = \begin{bmatrix} 0.011916269000 & -75.6785421000 & 0.13167000 \\ 0.005059735968 & 0.6216568288 & 0.00065824 \\ -0.139300000000 & -44.6300000000 & 1.00000000 \end{bmatrix}; \quad B_{eq1} = \begin{bmatrix} 1.32867000 \\ 0.00664224 \\ 1.00000000 \end{bmatrix}$$

$$A_{eq2} = \begin{bmatrix} 0.065618880750 & -100.519823250000 & 0.149625 \\ 0.004672125360 & 0.497471176000 & 0.000748 \\ -0.139300000000 & -44.630000000000 & 1.00000000 \end{bmatrix}; \quad B_{eq2} = \begin{bmatrix} 1.8852750 \\ 0.0094248 \\ 1.0000000 \end{bmatrix}$$

Transformando a un modelo de realización balanceada de controlabilidad y observabilidad iguales en su diagonal, se pueden eliminar aquellas variables que tengan menos contribución y reducir el modelo para evitar problemas de robustez numérica [23,24].

$$A_{eq1} = \begin{bmatrix} 0.49909987975294 & -0.51292951421558 \\ 0.51292951421558 & -0.11327354967210 \end{bmatrix}; \quad B_{eq1} = \begin{bmatrix} -0.74513826636431 \\ 0.31982269283261 \end{bmatrix}$$

$$A_{eq2} = \begin{bmatrix} 0.35951259473611 & -0.61614861912594 \\ 0.61614861912594 & -0.03998131511990 \end{bmatrix}; \quad B_{eq2} = \begin{bmatrix} -0.86265273070360 \\ 0.28820207616699 \end{bmatrix}$$

Los pasos para probar la estabilidad del sistema son:

1.- Probar que las matrices  $A_1A_2$  y  $A_2A_1$  son estables definidas:

$$A_1A_2 = \begin{bmatrix} -0.13660811909041 & -0.28701210517354 \\ 0.11461127935842 & -0.31151198640868 \end{bmatrix}$$

$$A_2A_1 = \begin{bmatrix} -0.13660811909041 & -0.11461127935842 \\ 0.28701210517354 & -0.31151198640868 \end{bmatrix}$$

Los eigenvalores de  $A_1A_2$  y  $A_2A_1$  son:

$$-0.22406005274954 + 0.15889299501416i$$

$$-0.22406005274954 - 0.15889299501416i$$



2.- Calcular  $P_1$  y  $P_2$  con  $Q_1 = Q_2 = I$  a partir de la ecuación (2.16).

$$P_1 = \begin{bmatrix} 1.56889486434946 & -0.36547558223151 \\ -0.36547558223151 & 1.38811252212837 \end{bmatrix}$$

$$P_2 = \begin{bmatrix} 1.70910744797213 & -0.30050503689586 \\ -0.30050503689586 & 1.63665470878196 \end{bmatrix}$$

3.- Probar que al menos una de las matrices  $P$  es la solución común para la ecuación (2.16).

$$R_1 = A_1^T P_2 A_1 - P_2$$

$$R_2 = A_2^T P_1 A_2 - P_1$$

$$R_1 = \begin{bmatrix} -1.00662958983824 & -0.13607266438124 \\ -0.13607266438124 & -1.20091394890496 \end{bmatrix}$$

$$R_2 = \begin{bmatrix} -1.00104979805824 & 0.12775141091554 \\ 0.12775141091554 & -0.80828631636748 \end{bmatrix}$$

Se calculan los eigenvalores para  $-R_1$

0.93658213740747

1.27096140133574

Se calculan los eigenvalores para  $-R_2$

1.06469887599254

0.74463723843317

Como  $P_1$  y  $P_2$  son matrices definidas positivas el sistema es estable.

## ELEMENTOS FISICOS DEL SISTEMA DE CONTROL

# 3

## CAPÍTULO

### 3.1 INTRODUCCIÓN

En este capítulo se detallará cada elemento físico que forma parte de la implementación del regulador de velocidad tipo Takagi – Sugeno para el arreglo motor de c.d. – alternador.

### 3.2. ESQUEMA Y DESCRIPCIÓN GENERAL DE LAS CARACTERÍSTICAS DE CADA ELEMENTO FISICO QUE FORMA PARTE DEL REGULADOR DE VELOCIDAD.

El diagrama que permite ver la disposición de los elementos físicos en el sistema de control, se muestra en la siguiente figura:

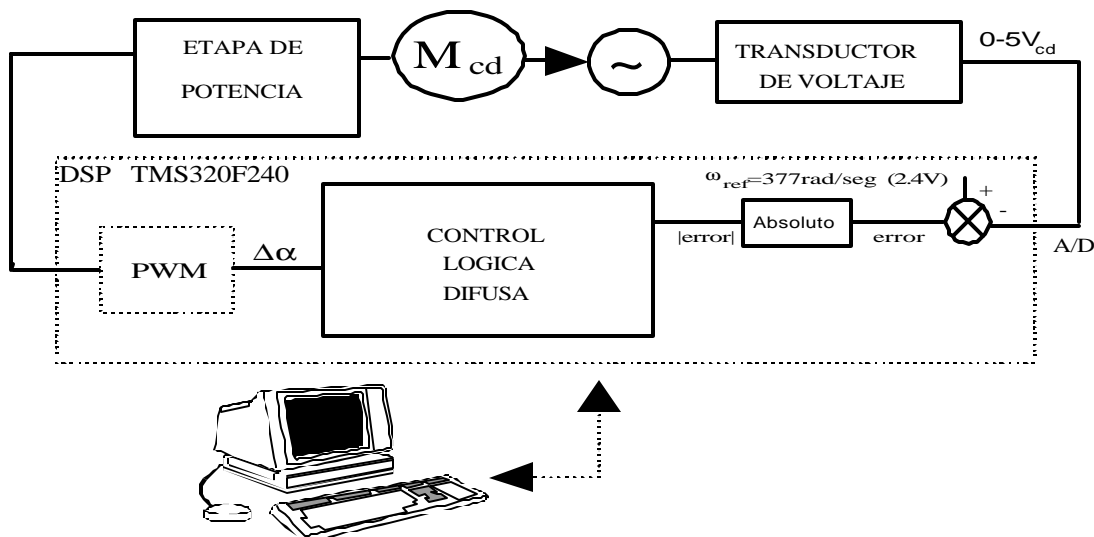


Figura 3.1. Diagrama a bloques de los elementos físicos que conforman al regulador de velocidad.

La descripción del esquema de la figura 3.1 se da a continuación:

El *motor de corriente directa* esta acoplado mecánicamente a la flecha del *alternador* por lo cual, la regulación de frecuencia de este, se realiza mediante el control de la velocidad del motor de c.d.

El control de velocidad del motor de c.d. se realiza como sigue:

Las revoluciones a que gira el rotor se miden a través de un medidor de posición conocido como *encoder*. Este dispositivo es conectado mediante una interfase a un *medidor de velocidad*. El medidor de velocidad contiene un transductor que permite obtener un nivel de voltaje de corriente directa proporcional a las revoluciones del rotor. Adecuando el valor de voltaje mediante una *etapa de entrada del control*, se introduce el valor a la tarjeta de evaluación del DSP, por medio *del convertidor analógico digital* que se encuentra incorporado en dicha la tarjeta.

El convertidor A/D digitaliza el voltaje de corriente directa. El valor digitalizado se resta a un valor de referencia produciendo la única variable que se necesita para realizar el control de velocidad. La utilización de esta variable, así como las técnicas de lógica difusa explicadas en el apartado 2.2 forman parte del programa para el sistema, por lo que se describirán con detalle en el capítulo 4.

Las técnicas de lógica difusa serán las encargadas de producir una señal de salida que provocará la modulación del ancho de pulso. Dicha técnica es generada en el DSP y es la responsable de controlar la velocidad del motor de c.d.

Como el motor maneja altas corrientes, comparadas con las que se manejan en la tarjeta, es necesario adecuar la señal PWM mediante una *etapa de potencia*. Esta etapa esta constituida principalmente por *un inversor, un opto acoplador, un IGBT, un excitador (“drivers”) y una fuente de corriente directa*.

A continuación se explican las características de funcionamiento y las especificaciones de los principales módulos que integran al regulador de velocidad.

### 3.2.1. Alternador.

Un alternador es una máquina síncrona que produce energía eléctrica mediante energía mecánica. El término *síncrono* se refiere al hecho de que la frecuencia eléctrica de esta máquina está atada o sincronizada con la velocidad de rotación de su eje. La expresión matemática de la frecuencia eléctrica está dada por:

$$f_e = \frac{n_m P}{120} \quad ; \text{ Con } P = \text{Número de polos.} \quad (3.1)$$

En este caso, como el generador es de dos polos el rotor debe girar a 3600 r.p.m. para generar una frecuencia de 60Hz.

El voltaje generado internamente en la máquina, depende de la velocidad de rotación de su eje y la magnitud del flujo del campo. La diferencia entre el voltaje en terminales de cada fase y el voltaje generado internamente radica principalmente en las caídas de potencial de la resistencia y la reactancia interna de los embobinados del inducido (en el estator).

El voltaje en las terminales del alternador será igual al voltaje por fase ó bien, será necesario relacionarlo por medio de una raíz de tres, dependiendo de que si la máquina está conectada en estrella o en delta [25].

Cuando un alternador trabaja en forma aislada, la potencia real y reactiva son determinadas por la carga, por lo que las variaciones del gobernador y la corriente de campo son las que controlan la frecuencia y el voltaje nominal respectivamente.

---

Cuando el alternador se conecta con un bus infinito su frecuencia y voltaje son fijos, de tal manera que las variaciones del gobernador y de la corriente de campo, controlan los flujos de la potencia real y reactiva del alternador.

Las especificaciones del alternador ocupado en el proyecto son:

Potencia de salida: 1.1 KVA.

Velocidad nominal: 3600 r.p.m.

Voltaje en terminales: 220/380V para conexiones  $\Delta/Y$ .

Voltaje de campo: 160 V.

Corriente en terminales: 2.9/1.7 A para conexiones  $\Delta/Y$ .

Corriente de campo 0.4 A.

Frecuencia nominal: 60Hz.

Momento de inercia del rotor: 0.0025 Kg. – m<sup>2</sup>.

Coefficiente de fricción: 0.00111 Kg.- m<sup>2</sup>/seg.

### **3.2.2. Motor de corriente directa.**

Las características de funcionamiento del motor de corriente directa fueron explicadas en el apéndice A, por lo que nos enfocaremos a escribir las especificaciones del motor:

Potencia de salida: 1.8 Kw.

Velocidad nominal: 3600 r.p.m.

Voltaje nominal de armadura: 220V.

Voltaje de campo: 160 V.

Corriente nominal de armadura: 10 A.

Par nominal: 4.77 N-m.

Corriente nominal de campo: 0.68 A.

Inductancia de armadura: 20.4 m.H.

Inductancia de campo: 17.25 H

Inductancia mutua de velocidad  $L_{A1}$ : 0.8514H.

Resistencia de armadura:  $2.45\Omega$ .

Resistencia de campo:  $228.2\Omega$ .

Momento de inercia del rotor:  $0.0036 \text{ Kg.} \cdot \text{m}^2$

Coefficiente de fricción (B):  $0.00107 \text{ Kg.} \cdot \text{m}^2/\text{seg.}$

Constante de inercia (H):  $142.119 \text{ E-12 seg.}$

### **3.2.3. Sensor de posición “encoder”.**

Estos dispositivos se instalan en la flecha del rotor y permiten el cálculo de la velocidad ó posición del rotor en un momento dado. Un “encoder” es un dispositivo que entrega un número especificado de pulsos en una revolución mecánica del rotor. A partir del conteo de la cantidad de pulsos obtenido en un tiempo fijo, se puede conocer la velocidad mecánica del rotor. El sensor de posición usado en este trabajo se encuentra instalado en la flecha del rotor del motor de c.d. y tiene una resolución de 5 pulsos/ rev.

### **3.2.4. Medidor de velocidad y transductor**

El medidor de velocidad es el encargado de indicar el valor al que está girando el rotor, en base a la señal que se recibe del sensor de posición. La capacidad máxima del medidor es de 6000 r.p.m.

El transductor permite convertir la señal del “encoder” a voltaje, es decir convierte pulsos / revolución a voltaje en c.d. La resolución del transductor es de un volt por cada 1000 revoluciones.

### **3.2.5. Etapa de entrada del control**

El voltaje en corriente directa que se obtiene por el transductor del medidor de velocidad, se modifica por medio del divisor de voltaje de la figura 3.2.

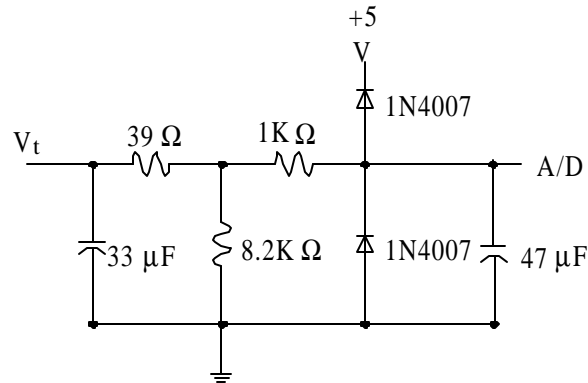


Figura 3.2. Divisor de voltaje correspondiente a la etapa de entrada del control.

Los diodos que se emplean en el arreglo, sirven para evitar que entren sobrevoltajes al convertidor A/D que se encuentra adicionado en la tarjeta de evaluación. Los capacitores sirven como filtro para la señal de entrada a la tarjeta.

### 3.2.6. Tarjeta de evaluación (kit) del DSP TMS320F240

Debido a su importancia y a los elementos que lo constituyen su descripción se hará en el apartado 3.3.

### 3.2.7. Computadora personal (PC).

La computadora constituye el elemento de interfaz entre el usuario y el sistema de control. La tarjeta de evaluación del DSP se conecta a la PC a través del puerto paralelo de esta. En ella se corren los programas de ensamblaje, enlace y depuración del procesador TMS320F240. Las especificaciones de la máquina usada en este control son:

- 1.- Procesador: Pentium I
- 2.- Velocidad del procesador: 133Mhz
- 3.- Memoria: 16Mb
- 4.- Monitor a color tipo SVGA
- 5.- Unidad de disco flexible: 1.44Mb

6.- Unidad de disco duro: 1.5 GB

7.- Sistema operativo: Windows 98

### 3.2.8. Etapa de potencia.

La etapa de potencia se encarga de producir los niveles de voltaje y corriente, necesarios para operar la velocidad del motor de c.d. En la figura 3.3 se muestra cada uno de los componentes que conforman la etapa de potencia, de los cuales destacan: el inversor, el opto acoplador, el “driver”, el IGBT y la fuente de alimentación. La función que tienen estos elementos en dicha etapa, se describe a continuación:

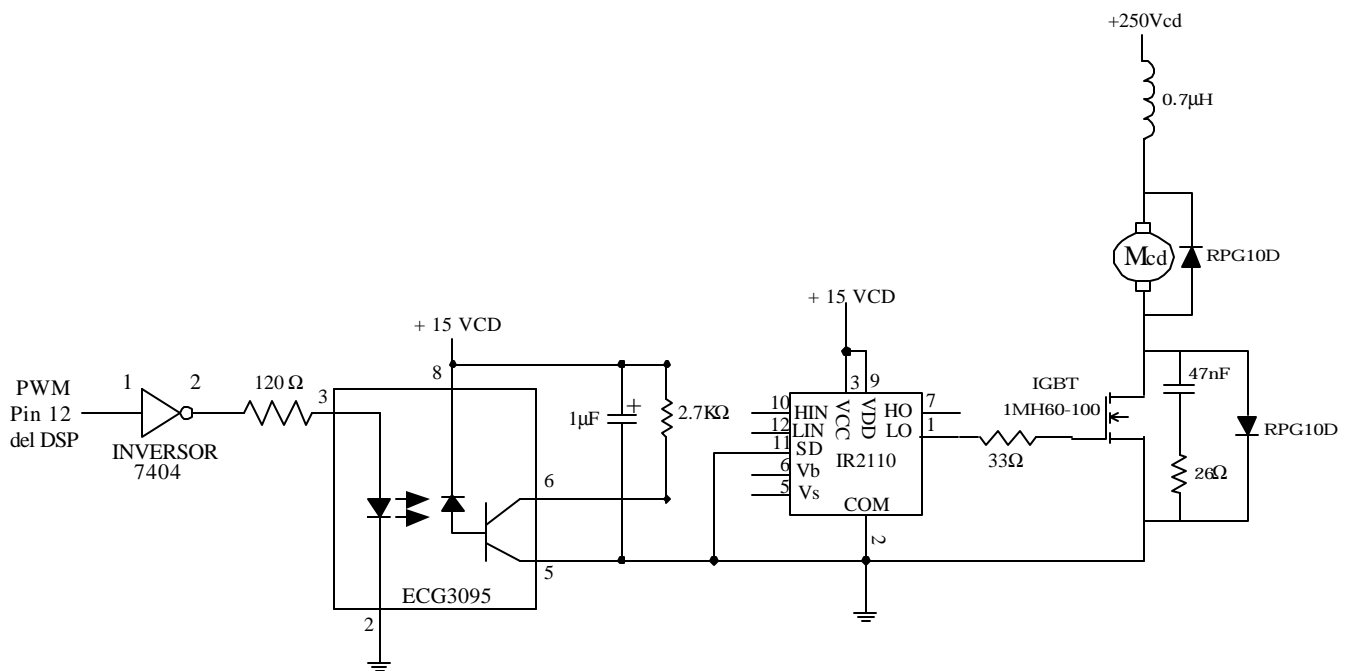


Figura 3.3. Etapa de potencia.

#### Inversor.

Este dispositivo tiene la finalidad de invertir la señal PWM que sale del procesador de señales digitales y proporciona la corriente necesaria para manejar el led. La clave del inversor empleado en el proyecto es 7404.



**Opto acoplador.**

Este elemento tiene como finalidad, la separación de toda conexión física de la etapa de potencia y la tarjeta de evaluación. El objetivo de esto, es el de evitar la introducción de niveles de voltaje y corriente por parte de la etapa de potencia, que dañen el funcionamiento de dicha tarjeta.

En este trabajo se empleó el opto acoplador ECG 3095, cuya unidad sencilla fue usada en las aplicaciones de las referencias [26,27].

Algunas de las especificaciones del dispositivo son:

- 1.- Opto acoplador dual.
- 2.- Voltaje de aislamiento: 3000 V.
- 3.- Alta velocidad de conmutación: Menor a  $8\mu\text{s}$ .

**Excitador (“driver”)**

El excitador tiene como finalidad, la adecuación de los niveles de voltaje de la señal PWM, necesarios para controlar la operación del IGBT. Algunas de las especificaciones del dispositivo son:

- 1.- Voltaje Offset: 500 V<sub>máx</sub>.
- 2.- Rango de voltaje de alimentación para compuerta: 10-20 V
- 3.- Tiempo de encendido/apagado típico: 120 y 94  $\eta\text{seg}$ .

**IGBT (Isolated Gate Bipolar Transistor).**

Este dispositivo es un transistor bipolar de compuerta aislada cuyas siglas en ingles son IGBT. Al IGBT se le considera transistor de potencia porque tiene la facilidad de

---

---

soportar corrientes arriba de 10 Amperes, voltajes mayores de 220 Volts y frecuencias de conmutación superiores a 5 KHz.

La conmutación de este dispositivo se realiza por voltaje, haciéndolo un elemento útil cuando se realizan tareas como accionamiento de motores de c.a. y c.d., fuentes de alimentación, relevadores de estado sólido y contactores.

Las especificaciones más importantes del IGBT empleado en el trabajo son:

- 1.- Corriente de colector pulsada a 50  $\mu$ s: 180A a  $T_c = 25^\circ\text{C}$ .
- 2.- Voltaje de colector a emisor: 1000 V.
- 3.- Frecuencia de operación: 10 KHz – 40KHz.

### **Fuente de corriente directa**

Este elemento proporciona el valor de voltaje en c.d. que alimenta a la etapa de potencia. Las características más importantes de la fuente son: fuente regulable de voltaje con rango de 0 – 300  $V_{cd}$ , medidor de corriente, medidor de voltaje, botón de arranque, botón de paro, botón de emergencia e interruptor electromagnético.

El diagrama funcional y las demás especificaciones técnicas del inversor, del opto acoplador, del “driver” y del IGBT, se muestran el apéndice B. La elección de cada uno de ellos, se tomó en base a las especificaciones técnicas del motor de c.d.

### **3.3. MÓDULO DE EVALUACIÓN (kit) TMS320C2xx. ARQUITECTURA Y FUNCIONAMIENTO [11].**

El modulo de evaluación TMS320C2xx (‘C2xx EVM) es un paquete de desarrollo con procesador de señales digitales (DSP) que permite evaluar la familia ‘C24x de los DSP. Las partes principales del ‘C2xx EVM son:

- 1.- Tarjeta de evaluación con DSP
- 2.- Adaptador de puerto paralelo XDS510PP. Este dispositivo sirve de interfaz entre la PC y la tarjeta de evaluación.
- 3.- Fuente de alimentación: Entrada 100-250V. Salida de 5V ,3.3A.
- 4.- Software: Incluye ensamblador, enlazador (“linker”), emulador (“C24x EVMC C Source Debugger”), algunas utilerías básicas y bibliotecas de programas en ensamblador del TMS320F240.

La figura 3.4 muestra el kit completo y las conexiones necesarias para su utilización mientras la figura 3.5 ofrece el diagrama esquemático de la tarjeta de evaluación.

Los componentes principales e identificables en la figura 3.5 son:

- 1.- Procesador de señales digitales (DSP), TMS320F240 de punto fijo (U6).
- 2.- 128 Kword de memoria RAM en la tarjeta (U3 y U4).
- 3.- Convertidor digital analógico (D/A) de 12 bits, con cuatro canales de conversión (U9).
- 4.- Dos arreglos lógicos de compuertas (GAL) de tipo 16V8 para la lógica de control y decodificación de la tarjeta (U7 y U14).
- 5.- Oscilador de reloj de 10 Mhz (U16).
- 6.- Puerto serial compatible con RS232 (P6).
- 7.- Puerto para el adaptador XDS510PP (P5).
- 8.- Banco de 8 conmutadores (“DIP switches”) (SW2).
- 9.- Banco de 8 Leds (SW1).
- 10.-Cuatro conectores de 34 pines que dan acceso a las señales más importantes de la tarjeta de evaluación. Estos conectores son:
  1. Conector de entrada / salida (P1).
  2. Conector Analógico (P2).
  3. Conector de direcciones y datos (P3).
  4. Conector de control (P4).

De estos cuatro conectores, el conector de entrada / salida y el conector analógico son usados para este trabajo, ya que el primero contiene la terminal de la señal modulada ( señal PWM; terminal 12 ) que servirá para controlar la velocidad del motor de c.d. y el segundo contiene la terminal que permitirá muestrear la velocidad del mismo motor ( terminal 3 ).

Los voltajes de corriente directa que se tienen en las terminales 2 y 19 del conector P1, servirán para alimentar al inversor que se localiza en la etapa de potencia que se ocupa para el control de la velocidad del motor, mientras que las terminales 1 y 33, alimentarán al circuito de protección que se tiene en el divisor de voltaje mostrado en la figura 3.2.

La distribución completa de los pines de cada conector puede ser consultada en la referencia [28] o en el apéndice C. En el apéndice D se muestra el diagrama eléctrico de la tarjeta de evaluación.

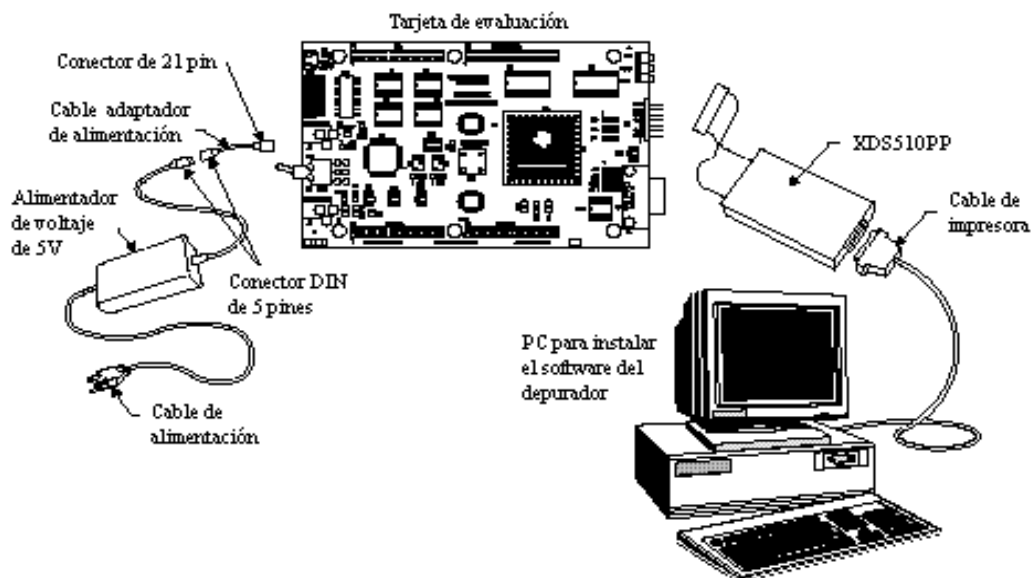


Figura 3.4. Módulo de evaluación y sus conexiones

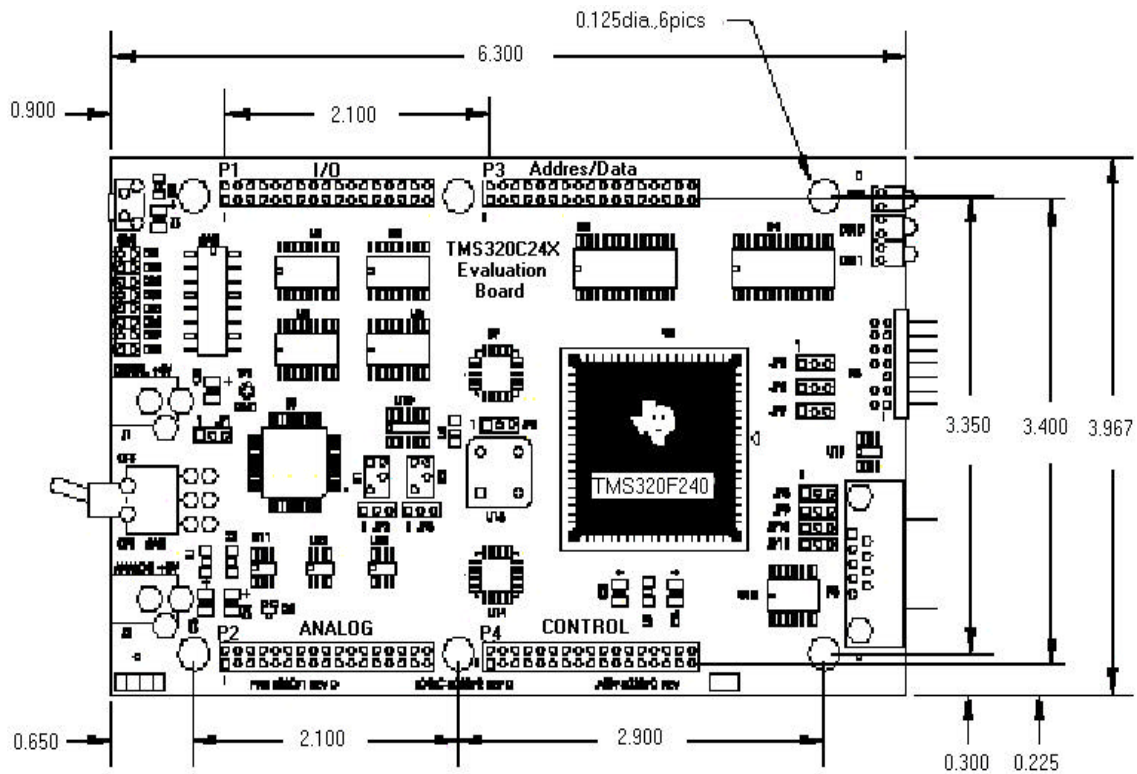


Figura 3.5. Diagrama esquemático de la tarjeta de evaluación.

### 3.4 .PROCESADOR DE SEÑALES DIGITALES (DSP) TMS320F240.

La componente fundamental para el desarrollo del presente trabajo, es el procesador digital de señales TMS320F240 fabricado por Texas Instrument. Por tal motivo en el siguiente apartado se describirá las características generales del dispositivo y posteriormente se explicarán con detalle las partes del procesador empleados para el desarrollo del proyecto.

#### 3.4.1. Características generales [12].

El TMS320F240 es un procesador de señales digitales (DSP) de la familia TMS320C2xx cuya arquitectura permite ejecutar 20 millones de instrucciones por segundo (MIPS). Esta velocidad de procesamiento permite la ejecución de algoritmos complejos de control y en tiempo real, como por ejemplo control adaptable y filtros de Kalman.

La adición de periféricos permite algunas aplicaciones tales como:

- Controladores de motores industriales.
- Controladores e inversores de potencia.
- En sistemas automotores, por ejemplo aire acondicionado, sistemas de frenado entre otros.
- Impresoras, copiadoras, y otros productos de oficina.

A continuación se resumen las características del TMS320F240:

- CPU:
  - Unidad lógica aritmética central de 32 bits.
  - Acumulador de 32 bits.
  - Multiplicador de 16 bits x 16 bits.
  - Tres escalamientos por recorrido.
  - Ocho registros auxiliares de 16 bits con una unidad aritmética dedicada para direccionamiento indirecto.
- Memoria:
  - 544 word de 16 bits de RAM de acceso dual (DRAM).
  - 16Kword de 16 bits de ROM de tipo flash (EEPROM).
  - 224Kword de 16 bits de espacio de memoria máxima direccionable ( 64Kword de espacio de programa, 64Kword de espacio de datos, 64 Kword de espacio de entrada/salida, y 32Kword de espacio global).
- Controles de programa:
  - Ocho Niveles de operación “ Pipeline ”.
  - Seis interrupciones externas: Protección contra controles de potencia, reseteo ( Reset ), interrupciones no mascarables (NMI) y tres interrupciones mascarables.

- Conjunto de instrucciones:
  - Código compatible con las familiaTMS320C5x.
  - Multiplicación y adición en un ciclo de reloj.
  - Movimiento de memoria de programa a memoria de datos y viceversa.
  - Capacidad de direccionamiento indexado.
- Velocidad: 50ns (20 MIPS) por instrucción de un solo ciclo de reloj.
- Manejador de eventos ( las partes que contiene este elemento se describirán en forma detallada en el siguiente apartado ).
- Módulo de conversión analógico digital (ADC) de 10 bits con 6µs de tiempo de conversión y 16 entradas analógicas, divididas en dos bloques de ocho entradas cada uno, lo que permite la lectura de dos canales a la vez.
- 28 líneas de entrada/salida multiplexadas.
- Interfase de comunicación serial (SCI).
- Interface periférica serial.

### 3.4.2. Manejador de eventos [12].

El módulo manejador de eventos (EV) provee una ancha gama de funciones y aspectos que son particularmente útiles en aplicaciones tales como el control de movimiento y control de motores.

En el apéndice E se muestra el diagrama general del módulo, en el cual se pueden identificar los siguientes bloques:

- Tres temporizadores de 16 bits de propósito general (“GP Timers 1, 2, 3”).
- Tres unidades de comparación completa (“Full compare 1, 2, 3”).
- Tres unidades de comparación simple.
- Circuitos para señales PWM que incluyen:
  - 1.- Circuito de generación PWM usando el método de vectores espaciales.
  - 2- Unidad de generación de banda muerta “dead band”.

---

3.- Lógica de salida que permite controlar el nivel de activación de señales PWM que se generan.

- Cuatro unidades de captura.
- Circuito de detección de pulsos en cuadratura (QEP).
- Interrupciones asociadas a la generación de cada evento del módulo.

A continuación se describirán en forma detallada los bloques empleados en este proyecto.

#### **3.4.2.1 Temporizadores de propósito general. [12,28]**

Como se explico en el apartado anterior existen tres temporizadores de propósito general (GP) en el módulo manejador de eventos, cada uno de ellos tienen la posibilidad de usarse como base de tiempo independiente para una aplicación específica. La figura 3.6 muestra el diagrama a bloques del temporizador de propósito general. En ella se observa que cada temporizador contiene:

- TxCNT( $x = 1, 2, 3$ ). Este es el registro contador de pulsos de reloj en forma ascendente y/o descendente.
- TxCMPR ( $x = 1, 2, 3$ ). Este es el registro de comparación de tiempo, el cual permite la modulación de del ancho de pulso (señal PWM).
- TxPR ( $x = 1, 2, 3$ ). Este registro es el que permite definir el periodo de la señal PWM.
- TxCON ( $x = 1, 2, 3$ ). Este es el registro de control de cada temporizador, mediante el cual se programa el modo de conteo del temporizador, la condición de recarga del registro de comparación de tiempo, la fuente de reloj del temporizador entre otras.
- TxPWM/TxCMP ( $x = 1, 2, 3$ ). Salida de los temporizadores de propósito general.



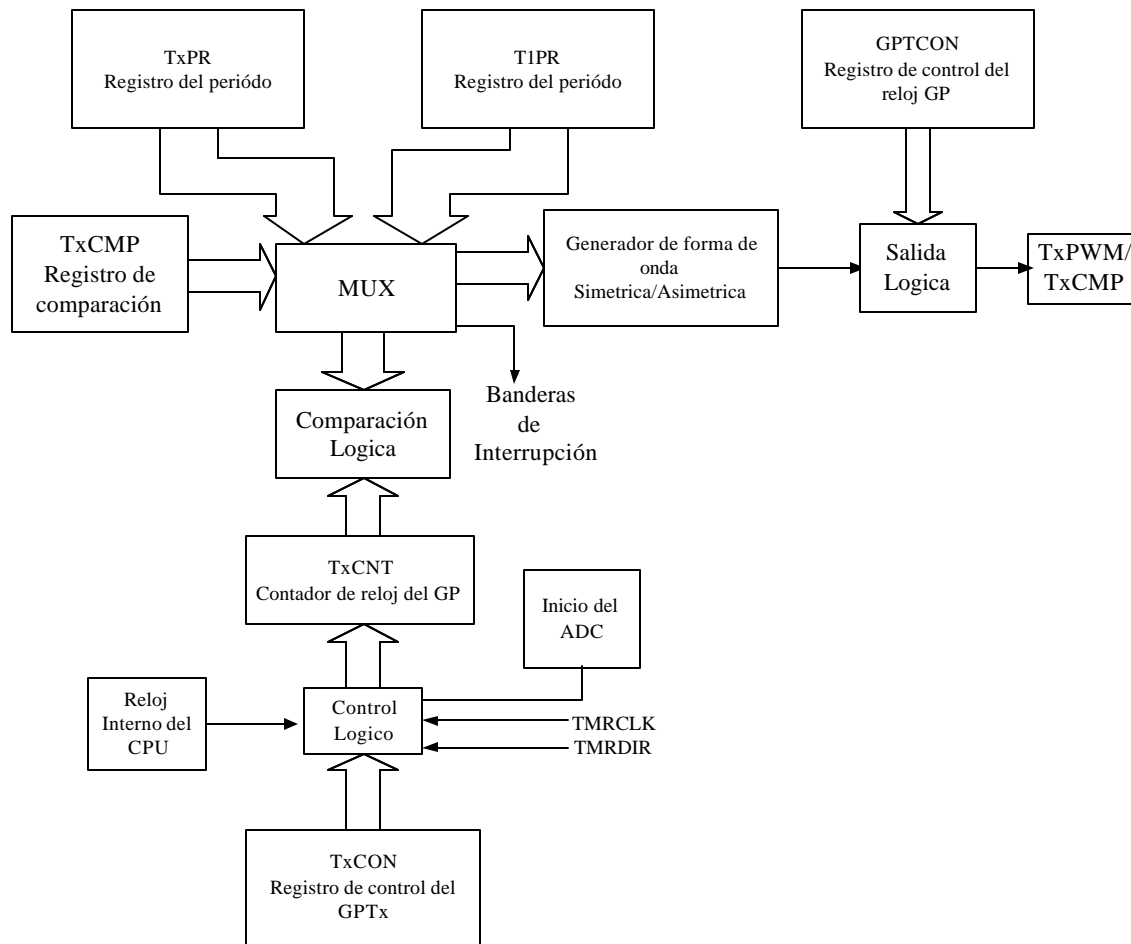


Figura 3.6. Diagrama a bloques del temporizador de propósito general

El registro de control conocido como GPTCON permite la programación de los niveles de activación de las salidas de cada temporizador, el inicio de conversión del A/D por evento del temporizador e indica si el conteo del TxCNT es de tipo ascendente o descendente.

En este proyecto se emplea el temporizador 1 para la generación de una señal de salida PWM de tipo asimétrica. A esta señal se le denomina así porque el temporizador genera una forma de onda triangular tal y como la que se muestra en la figura 3.7. La forma de esta señal se debe a que el T1CON se programa de modo de conteo ascendente continuo y cuyo periodo será el de la señal portadora en la modulación de ancho de pulso, el cual se calcula como:

$$\text{Periodo de la señal PWM} = (T1PR+1) * \text{CLK} \quad (3.2)$$

donde: T1PR es el registro de periodo del temporizador 1.

CLK: Señal del reloj (50ns).

En la misma figura se observa que la modulación de la señal de salida se realiza con la ayuda del registro de comparación T1CMPR, es decir, cuando la señal portadora coincide con el valor del registro de comparación, provoca que la señal de salida cambie su estado anterior (existe una conmutación), ocasionando que el estado actual permanezca hasta el final del periodo. Al cumplirse este, la señal de salida regresa a su estado original.

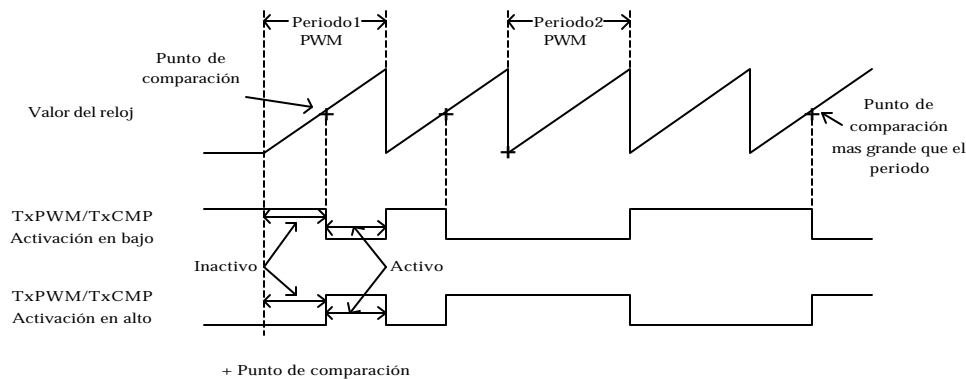


Figura 3.7. Generación de la señal PWM con el temporizador en modo ascendente continuo.

En este trabajo el registro de comparación (T1CMPR) se modifica de dos maneras:

- 1) El primero es adicionando un uno directamente al registro ( etapa de arranque del programa) y
- 2) El segundo es el de colocar al registro, el valor obtenido en la etapa de salida del programa de control.

En el capítulo 4 se brinda una explicación detallada de la programación y la utilización de la señal PWM en el lazo de control.

### 3.4.2.2 Interrupciones del módulo manejador de eventos [12, 26].

Este módulo genera eventos que pueden ser tratados por interrupciones y que se encuentran agrupados en tres bloques llamados A,B,C. Las fuentes más comunes de interrupción empleando temporizadores de propósito general son:

- *Por comparación.* La interrupción por comparación sucede cuando el contenido del contador del temporizador es igual que el registro de comparación.
- *Por sobre flujo “overflow”.* La interrupción por “overflow” sucede cuando el valor del contador del temporizador alcanza el valor de FFFFh (siempre y cuando el contador del temporizador este contando de forma ascendente).
- *Por bajo flujo “underflow”.* La interrupción por “underflow” sucede cuando el valor del contador del temporizador alcanza el valor de 0000h (siempre y cuando el contador del temporizador este contando de forma descendente).
- *Por periodo.* La interrupción periodo sucede cuando el contenido del contador del temporizador es igual que el registro del periodo (TXPR).

Para trabajar alguna de estas interrupciones involucra la programación de los siguientes registros:

- 1.- IMR: Este es el registro de máscaras de interrupción, el cual habilita o no los seis primeros niveles de interrupción.
- 2.- IFR: Este es el registro de las banderas de interrupción, el cual permite conocer el estado de las fuentes de interrupción. Escribiendo un “1” en el bit correspondiente se limpia esa solicitud de la interrupción.
- 3.- EVIMRA, EVIMRB, EVIMRC: Estos son los registros de las mascaras de interrupción de cada una de las fuentes de interrupción del modulo manejador de eventos.

4.- EVIFRA, EVIFRB, EVIFRC: Estos son los registros de las banderas de interrupción de cada una de las fuentes de interrupción del modulo manejador de eventos.

En este trabajo se programo la interrupción por periodo del temporizador uno, para generar el tiempo de muestreo en nuestro programa. La forma de programación de los registros se vera en el capitulo siguiente.

### 3.4.3. Módulo de conversión analógico digital (A/D) [12,26].

El procesador TMS320F240 incluye un módulo de conversión analógico/digital interno. El esquema general de este módulo se muestra en el apéndice E el cual presenta las siguientes especificaciones:

- 16 entradas analógicas agrupados en dos módulos multiplexores de 8 bits cada uno, el cual permite le lectura de dos canales simultáneamente.
- La resolución de los convertidores es de 10bits.
- Estructura FIFO ( primero entrada primero salida ) de dos niveles para cada convertidor , los cuales permiten el almacenamiento de dos lecturas sin perdida de información.
- Los voltajes de referencia máximo ( $V_{ref_{hi}}$ ) y mínimo ( $V_{ref_{lo}}$ ) pueden ser establecidos en cualquier rango entre 0 y +5V.
- Tiempo de conversión  $6\mu s$ .
- Posibilidad de realizar conversión simple o continua.
- El inicio de la conversión puede ser usado por software, por eventos internos del módulo A/D o eventos externos producidos por el módulo manejador de eventos.
- Circuito pre – escalador programable. El valor del pre – escalador debe satisfacer la siguiente formula:

$$SYSCLK * \text{preescaler} * 6 > 6\mu s$$

donde  $SYSCLK$  es  $2 * CLK = 100ns$  (3.3)

La configuración del módulo de conversión A/D se realiza mediante los siguientes registros:

- 1.- ADCTL1: En este registro se habilita el convertidor, el inicio de la conversión, la habilitación de la interrupción del A/D y el canal a leer.
- 2.- ADCTL2: La función que caracteriza este registro es la de iniciar la conversión del A/D por una interrupción generada en el manejador de eventos.

En este proyecto se utiliza el canal 1 para medir la velocidad del generador. Este valor se almacena en la variable TEMP cada que existe una interrupción por periodo en el manejador de eventos.

#### **3.4.4. Módulo de interface de comunicación serial (SCI) [12].**

El modulo del SCI que se encuentra instalado en el TMS320F240, permite transmitir y recibir datos en serie entre el y otros periféricos asíncronos, que usan el formato estándar NRZ. Este formato consiste en:

- 1.- Un bit de inicio.
- 2.- De uno a ocho bits de datos.
- 3.- Un bit de paridad par/impar.
- 4.- Uno o dos bit de paro.

El esquema general del modulo SCI se muestra después del convertidor A/D que se encuentra en el apéndice E, el cual presenta las siguientes características:

- Dos pines de recepción y transmisión de datos (SCIRXD y SCITXD).
- Velocidad de comunicación programable.
- Longitud de datos programable (de uno a 8 bits).
- Bit de paro programable (de uno a dos bits).

- Cuatro banderas de detección de error.
  - 1) Error de paridad.
  - 2) Error de sobreflujo.
  - 3) Error de cuadro.
  - 4) Detección de ruptura.
- Funciones de transmisión y recepción de doble buffering.
- La transmisión y recepción de datos, se puede realizar por interrupción o por empadronamiento (polled).
- Habilitación de las interrupciones por transmisión y recepción por separado.
- Formato NRZ.

La configuración del SCI se realiza mediante los siguientes registros:

- 1.- SCICCR: Este es el registro de control para la comunicación, el cual define el formato para los caracteres, el protocolo y el modo de comunicación del SCI.
- 2.- SCICTL1: Este es el registro uno de control SCI, en el cual se habilita/deshabilita la recepción, la transmisión, el reloj interno, y el reseteo por software del SCI.
- 3.- SCICTL2: Este es el registro dos de control del SCI, en el cual se habilita/deshabilita la interrupción por transmisión y/o recepción y permite mediante el bit 7 (TXRDY) checar si el dato del buffer ha sido transmitido.
- 4.- SCIHBAUD: Este registro guarda los datos (bits más significativos), que son necesarios para configurar la velocidad de comunicación.
- 5.- SCILBAUD: Este registro guarda los datos (bits menos significativos), que son necesarios para configurar la velocidad de comunicación.
- 6.- SCIPC2: Este registro permite habilitar/deshabilitar los pines de transmisión y recepción de datos.

La utilización de este módulo en la tesis, permitió crear un archivo de datos, mediante el buffer de la terminal de la computadora. Los datos contenidos en este archivo se graficaron en MATLAB, pudiéndose ver así el comportamiento del regulador de velocidad. Los valores que tomaron cada registro para la configuración del SCI, se mostraran con detalle en capítulo 4.

---

## PROGRAMA DEL SISTEMA DE CONTROL



---

### 4.1 INTRODUCCIÓN

En este capítulo se brinda una descripción general de la estructura y funcionamiento del programa. También se explica la disposición de los bloques de memoria del DSP para la implementación del mismo. Por último se expone y se detalla la programación en el DSP de los distintos módulos que constituyen el programa empleado en el sistema de control.

### 4.2. DESCRIPCIÓN GENERAL DEL PROGRAMA DEL SISTEMA DE CONTROL

El programa elaborado para implementar el regulador de velocidad se basa en el algoritmo difuso de Takagi–Sugeno explicado en el apartado 2.2 del capítulo 2 [1,6]. La figura 4.1 muestra el diagrama a bloques del regulador de velocidad empleando este algoritmo. La descripción de esta figura se da a continuación:

Las entradas al sistema de control son la referencia que se encuentra en la memoria y la retroalimentación que es un valor de voltaje en c.d., obtenido del divisor de voltaje que se encuentra conectado al transductor del medidor de velocidad, el cual produce un nivel de voltaje en c.d. proporcional a las revoluciones que da el rotor del motor.

El voltaje en c.d. medido del divisor, se digitaliza por medio del convertidor analógico digital que se tiene incorporado en la tarjeta de evaluación y que fue descrito en el apartado 3.4.3 del capítulo 3.



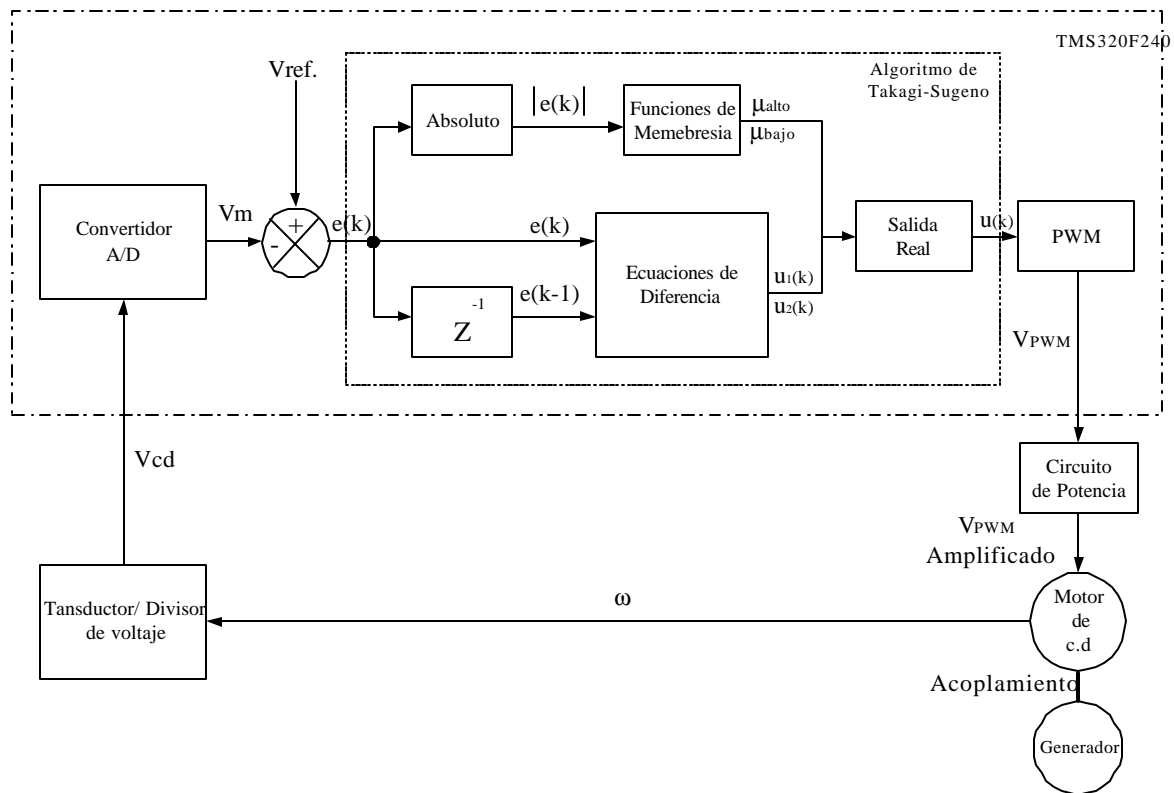


Figura 4.1. Diagrama a bloques del regulador de velocidad, empleando el algoritmo de control difuso de Takagi – Sugeno.

El valor digitalizado se compara con un valor de referencia provocando como resultado un error ( $e(k)$ ), posteriormente se calcula el valor absoluto del error ( $|e(k)|$ ).

El valor absoluto del error se evalúa en las funciones de membresía de tipo trapezoidal tal y como las mostradas en la figura 2.2 del capítulo 2. Esto permite obtener el grado de membresía (salida difusa) y cuyo valor, forma parte de la ecuación 2.4 que permite obtener la salida que modula el ancho de pulso.

El error ( $e(k)$ ) y su valor anterior ( $e(k-1)$ ) sirven para evaluar las ecuaciones de diferencia dadas en las ecuaciones 2.2 y 2.3 del capítulo 2. Los valores obtenidos por estas ecuaciones completan la ecuación 2.4.

La ecuación 2.4 se encuentra incorporada en el bloque denominado salida real de la figura 4.1. La valoración de esta ecuación permite la modulación del ancho de pulso, causante de controlar la velocidad del motor de c.d. La consecuencia de controlar la velocidad del motor es la regulación de frecuencia del alternador ya que estos dispositivos están acoplados mediante su rotor.

### **4.3. ESTRUCTURA DEL PROGRAMA.**

El programa escrito para realizar el sistema de control mediante este algoritmo fue escrito en lenguaje ensamblador del procesador de señales TMS320F240 de Texas Instrument. El listado completo del mismo se muestra en el apéndice F y esta estructurado de la siguiente forma:

#### **Programa principal.**

El programa principal se divide en tres partes:

##### *1.- Inicialización de registros y variables.*

En este bloque se realiza la preparación de registros generales del TMS320F240, la limpieza de los bloques de memoria RAM, la inicialización de (l): las variables del control, los registros de la comunicación serial, convertidor analógico digital y los registros para la salida y generación de la señal PWM.

##### *2.- Arranque del motor.*

En este bloque se hace arrancar el motor de c.d. a tensión reducida. La razón de este tipo de arranque es evitar que la demanda de corriente que necesita inicialmente el motor para moverse sea mínima, logrando de esta manera que el IGBT que se emplea en la etapa de potencia no se dañe ( se recomienda leer el apéndice A ).

---

---

### 3.- Programación del algoritmo de control de Takagi - Sugeno.

Este algoritmo se realiza cada vez que se obtiene una medición de voltaje en el A/D (50  $\mu$ s) e incluye las siguientes rutinas:

- a) Obtención del absoluto del error (macro OBT\_ABS\_ERROR).
- b) Obtención del grado de membresía (rutina MEMBERSHIP).
- c) Evaluación de las ecuaciones de diferencia (rutina IMPLICACIONES\_SUGENO).
- d) Obtención de la variable de salida (rutina SALIDA\_REAL).
- e) Modulación del Ancho del pulso (rutina PWM\_OUT).
- f) Observación en pantalla de la respuesta del control (rutina PANTALLA).

El diagrama de flujo del programa principal se muestra en la figura 4.2. En el se puede ver que el programa tiene dos lazos de espera. Cada uno de ellos tiene la función de verificar el estado de una bandera, que indica la obtención de una nueva medición en voltaje.

Cuando se activa la bandera del primer lazo, se incrementa el registro de la señal PWM permitiendo arrancar al motor a tensión reducida. Una vez que el motor alcanza su valor nominal en voltaje, actúa el segundo lazo de espera. La función de este segundo lazo es el de indicar el momento de aplicar el algoritmo de control. En cada corrida del algoritmo de control, se ejecutan las rutinas mencionadas con anterioridad y en el orden en que se describen en la figura 4.2. El algoritmo esta concebido para ejecutarse en lazo infinito, mientras no sea detenido por un comando del simulador.

#### **Rutina de servicio de interrupción.**

El programa utiliza la interrupción INT 2 para la adquisición del voltaje mediante el convertidor A/D. La interrupción se ejecuta al final de cada periodo de la señal de referencia triangular en el bloque de generación del PWM. El tiempo del periodo

corresponde a  $50\mu\text{s}$ . Las características del algoritmo y su programación se describirán en los apartados subsecuentes de este capítulo.

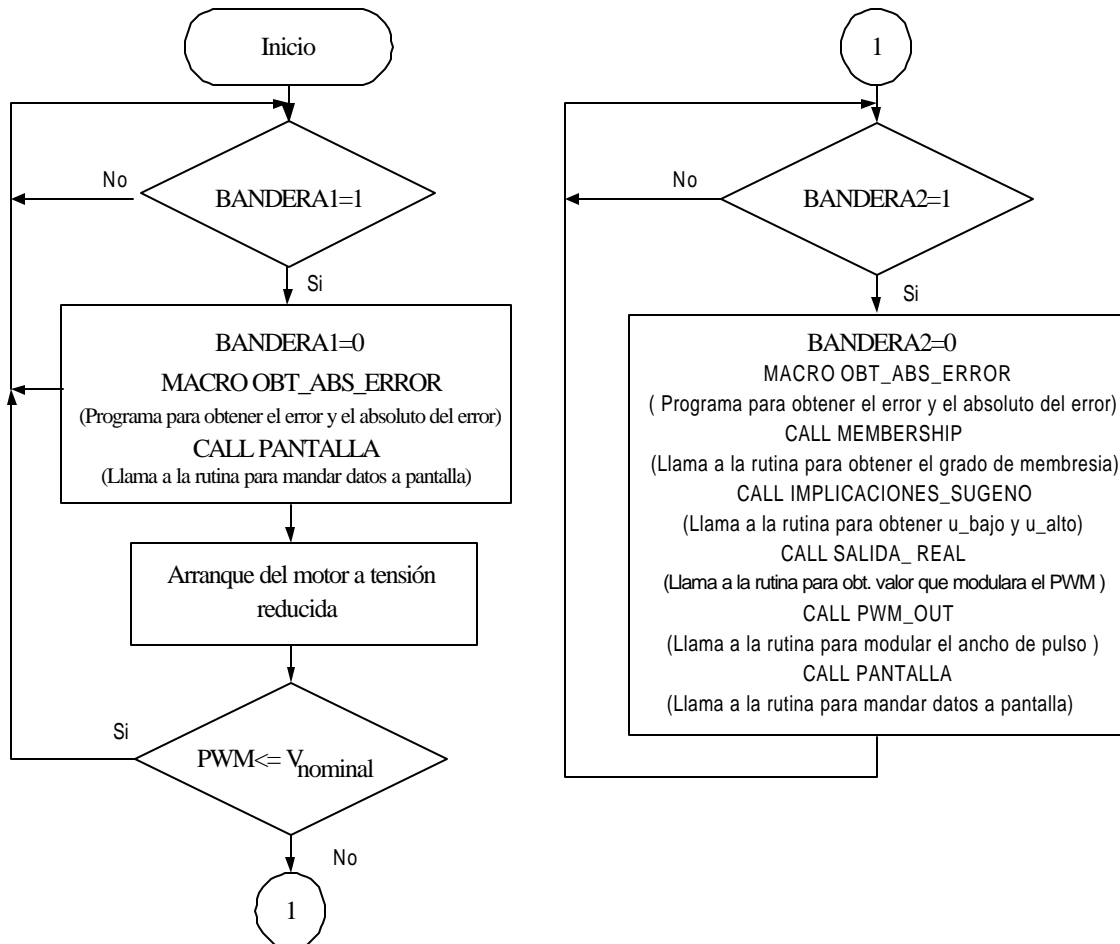


Figura 4.2. Diagrama de flujo del programa principal.

#### 4.4. DEFINICIÓN DE LOS BLOQUES DE MEMORIA DEL PROGRAMA.

Para una correcta localización de los bloques de memoria usados en el programa, el enlazador “linker”, utiliza un archivo con extensión cmd, en el cual se definen todas las secciones de memoria usadas en el programa y el bloque al cual están asignadas en el mapa de memoria del TMS320F240. En este sistema se utilizaron los siguientes bloques de memoria:

1.- *Memoria de programa (Página 0)*: Se utiliza para colocar el código de programa y los vectores de interrupción. El origen de la memoria es 40h y su longitud es 65472 bytes.

2.- *Memoria de datos DRAM (Bloque B1)*: Es la zona en donde se encuentran todas las variables ocupadas para el programa. Inicia en la dirección 300h y su longitud es de 256 bytes.

El listado completo del archivo con extensión cmd se encuentra en el apéndice F.2.

Otro archivo que necesita el programa de control para funcionar adecuadamente es el f240regs.h. En este archivo se encuentran definidos todos los registros mapeados en memoria y sus direcciones respectivas dentro del procesador. El listado del archivo f240regs.h se encuentra en el apéndice F.3.

Por último el archivo denominado mcr\_sug.h adicionado al programa de control es el encargado de contener todos los macros que se utilizaron en dicho programa. La adición de los macros al software tiene como objetivo minimizar el contenido de este, permitiendo una programación más sencilla y entendible. El listado del archivo en el apéndice F.4.

#### **4.5. DETALLES DEL DISEÑO Y PROGRAMACIÓN DE CADA UNO DE LOS BLOQUES QUE INTEGRAN EL PROGRAMA DEL SISTEMA DE CONTROL.**

Para poder detallar el diseño y la programación de los distintos bloques con los que cuenta el programa del sistema de control, lo dividiremos de la siguiente manera:

- Etapa de entrada.
- Etapa de arranque.
- Etapa del control.
- Etapa de salida.

#### 4.5.1. Etapa de entrada.

Esta etapa corresponde a los mecanismos que se llevaron a cabo, para digitalizar el voltaje en c.d. La descripción de esta etapa se realiza a continuación:

El convertidor A/D incorporado en la tarjeta de evaluación, adquiere mediante su canal cero, un voltaje de c.d. del divisor que fue mostrado en la figura 3.2, cada vez que termina un periodo de la señal PWM (50 $\mu$ s).

Al final de la conversión en el A/D se provoca una interrupción (INT2), que nos lleva a la rutina de servicio que se muestra en la figura 4.3. En esta figura se observa que el valor digitalizado del voltaje de c.d. se guarda en la variable TEMP, para su aplicación en el macro denominado OBT\_ABS\_ERROR, que se encuentra incorporado tanto en la etapa de arranque como en la etapa de control.

En la misma figura se puede ver que se activan dos banderas denominadas BANDERA1 y BANDERA2. La función de la primera bandera es activar la etapa de arranque, mientras que la función de la segunda es activar la etapa de control del programa principal. La secuencia de activación de cada etapa se realiza de la siguiente manera: La primera vez que termina la rutina de servicio la bandera denominada “BANDERA1” se activa ejecutándose la etapa de arranque. Terminada la etapa, se regresa al lazo de espera correspondiente a BANDERA1 para la siguiente activación (ver figura 4.2).

La etapa de arranque del programa de control se ejecuta hasta que el motor alcanza su velocidad nominal (3600 r.p.m). Alcanzado este valor, la siguiente vez en que se termina la rutina de servicio se activa la BANDERA2, ejecutándose ahora la etapa de control. Esta última etapa se queda en un lazo infinito junto con la etapa de salida, hasta que la ejecución de ambas se termine mediante un comando del simulador. La variable CONT que aparece en la rutina de servicio de la figura 4.3 es un contador que tiene la función de cambiar el tiempo de muestreo.

Para el funcionamiento del convertidor A/D, es necesaria la programación de los registros ADCTL1 Y ADCTL2. El valor que tomaron estos registros en el diseño son:

**ADCTL1    1000 1101 0000 0000 (8d00h)**

**ADCTL2    0000 0100 0000 0100 (0404h)**

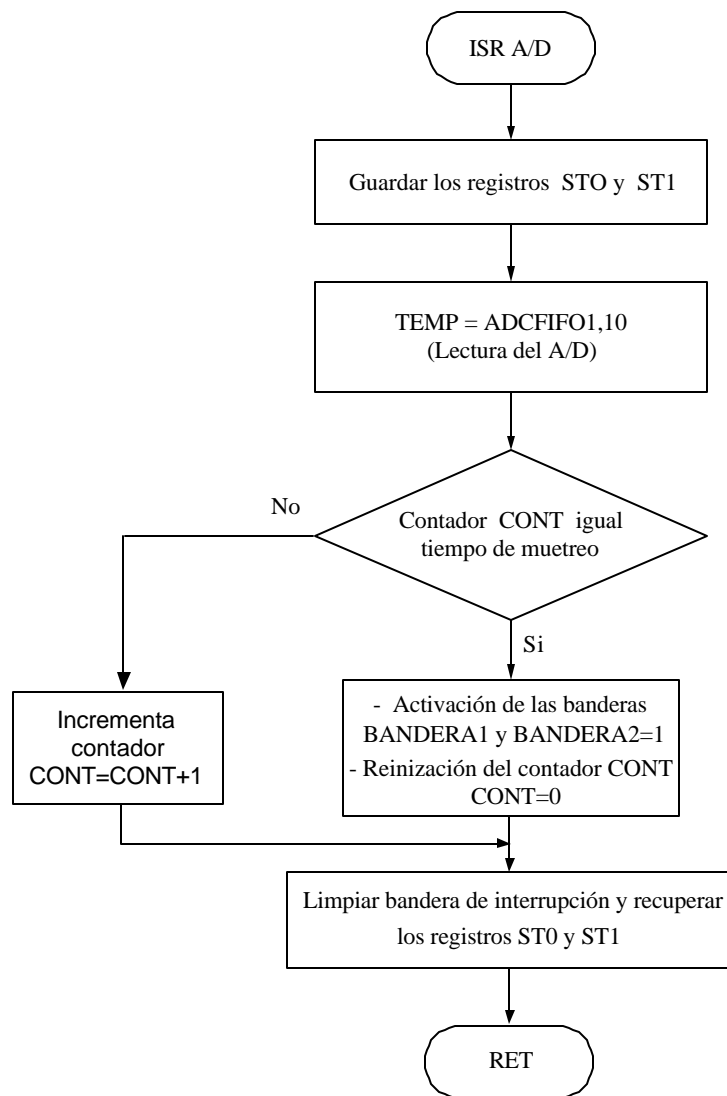


Figura 4.3. Rutina de servicio del A/D.

El valor del pre-escalador elegido fue 12, para garantizar los requerimientos de la ecuación 3.3, con un reloj de  $100\eta s$ , obteniéndose así un tiempo de conversión de  $7.2\mu s$ .

Para la activación de la interrupción INT2 por periodo, se necesita programar los registros IMR y EVIMRA [11,12]. Los valores que tomaron estos en el programa fueron:

**IMR            0000 0000 0000 0010 (0002h)**  
**EVIMRA       0000 0000 1000 0000 (0080h)**

La estructura completa de cada registro se muestra en el manual TMS320C24x DSP Controllers. Vol. 2 [12] mientras que en el apéndice F, se puede ver el listado completo de la rutina de interrupción y la programación de los registros del convertidor A/D.

#### **4.5.2. Etapa de arranque**

Como su nombre lo indica, esta etapa permite arrancar al motor de c.d a tensión reducida y llevarlo mediante esta forma a su velocidad nominal. El motivo de la etapa, es el de minimizar el valor de las corrientes que demanda el motor de c.d. durante el arranque y, para protección del IGBT empleado en la etapa de potencia que fue descrita en el apartado 3.2 del capítulo 3. El bloque que constituye esta etapa viene dado en la figura 4.2 con el nombre de “*Arranque del motor a tensión reducida*”.

El método empleado para la realización de la etapa, es el de modulación del ancho de pulso, el cual es generado por comparación por rampa de una señal triangular [32,33]. En el apartado 3.4.2.1 del capítulo 3 se vio con detalle la forma de generar la señal PWM, en el cual los registros TXCMPR son los encargados de llevar la señal de comparación, mientras que los temporizadores TXCNT son los causantes de generar la señal triangular de tipo asimétrica tal y como fue mostrada en la figura 3.7 del capítulo 3.

En las siguientes líneas del programa principal, se puede ver que la etapa de arranque a tensión reducida se logra adicionando de uno en uno el registro de comparación T1CMPR:



---

---

LACC T1CMPR

ADD #1h

SACL T1CMPR

El periodo de la señal triangular que corresponde al periodo de la señal PWM es colocado en los registros TXPR y cuyo valor se puede calcular mediante la ecuación 3.2 del capítulo 3. En nuestro programa el registro ocupado fue el T1PR y el valor del periodo tomado fue:

$$\text{Periodo de la señal PWM} = (T1PR+1) * CLK = (999+1) * 50\mu s = 50\mu s.$$

donde:

T1PR: Registro de periodo del temporizador 1.

CLK: Señal del reloj (50  $\mu$ s)

Este periodo de la señal PWM, corresponde a una frecuencia de conmutación de 20Khz, la cual es adecuada para los requerimientos de diseño.

La generación de la señal PWM se realiza automáticamente, los comparadores son recargados al finalizar cada periodo (“underflow” del temporizador), variando los pulsos de salida de acuerdo al resultado de comparación (T1CMPR). El final de cada periodo del PWM genera además una señal de inicio de conversión al modulo A/D, por lo que un nuevo valor de voltaje (proporcional a la velocidad del motor – alternador) será medido y utilizado en el macro denominado OBT\_ABS\_ERROR. Este programa sirve para obtener el error y el absoluto del error ocupados en la etapa de control que se describirá después de este apartado.

Para la realización de la señal PWM en el DSP TMS320F240 con las características antes mencionadas, es necesaria la programación de los registros GPTCON, T1CON, T1PR y T1CNT [12]. A continuación se muestran los valores que tomaron los registros en el diseño:

**GPTCON**    **0010 0001 0100 0001 (2141h)**  
**T1CON**     **0001 0000 0000 1010 (100Ah)**  
**T1PR**      **0000 1001 1001 1001 (0999 h)**  
**T1CNT**     **0000 0000 0000 0000 (0000h)**

La salida de la señal PWM se programa en el registro OCRA. El valor que tomo en el diseño se muestra a continuación:

**OCRA**        **0000 1000 0000 0001 (0801h)**

Programando el registro de esta manera, la salida de la señal PWM se obtiene en la terminal 12 del puerto de entrada / salida de la tarjeta [31].

La estructura completa de cada registro se muestra en las referencias [12,31].

### **4.5.3. Etapa de control**

En esta etapa se explica con detalle los módulos que integran el control difuso tipo Takagi – Sugeno, cuyo objetivo es el de controlar la velocidad del motor de c.d. y a su vez la frecuencia del alternador.

#### **4.5.3.1 Obtención del error, el absoluto del error y sus valores anteriores.**

En la figura 4.1 se puede ver que el error  $e(k)$  es la variable de entrada al control, la cual se manipula para obtener el error anterior  $e(k-1)$ , el absoluto del error  $|e(k)|$  y el valor absoluto del error anterior  $|e(k-1)|$ . El macro OBT\_ABS\_ERROR que aparece en el programa principal de la figura 4.2., contiene las líneas de programa causantes de generar estas variables. A continuación se muestran dichas líneas:

```
OBT_ABS_ERROR .macro
LDP #ERROR
LACC ERROR
SACL ERROR+2
LACC ERROR+1
SACL ERROR+3
LAR AR0,#TEMP
MAR *,AR0
LACC #01EAh
SUB *
SACL ERROR
ABS
SACL ERROR+1
.endm
```

El valor #01EAh que se encuentra en esta parte del programa, corresponde al valor de referencia que equivale a la velocidad nominal del motor (3600 r.p.m.). Si se le resta a este valor la variable TEMP (voltaje de c.d. medido del divisor), se produce la variable  $e(k)$ . Para la obtención del  $|e(k)|$  se emplea el comando ABS mientras que para la obtención de los valores anteriores  $e(k-1)$  y  $|e(k-1)|$ , se guardan los valores del  $e(k)$  y  $|e(k)|$  al principio de cada ejecución del macro.

El motivo de haber hecho el macro OBT\_ABS\_ERROR, radica en el hecho de que las líneas de programa se iban a ocupar tanto en la etapa de arranque como en la etapa de control. La adición de estas líneas de programa en la etapa de arranque, permitieron obtener un  $e(k-1)$  diferente de cero en el momento de ejecutarse por primera vez la etapa de control, logrando evitar así, aumentos súbitos de voltaje por señal PWM, que dañaran al IGBT.

En la figura 4.4 se muestra una prueba de laboratorio, en donde no se adicionó el macro en la etapa de arranque. En ella se ve como durante la etapa de arranque el  $e(k-1)$  es igual con cero, hasta antes de la aplicación de la etapa de control. Entrada esta etapa, se observa que existe un aumento brusco en la velocidad del motor ocasionando que el IGBT deje de conducir.

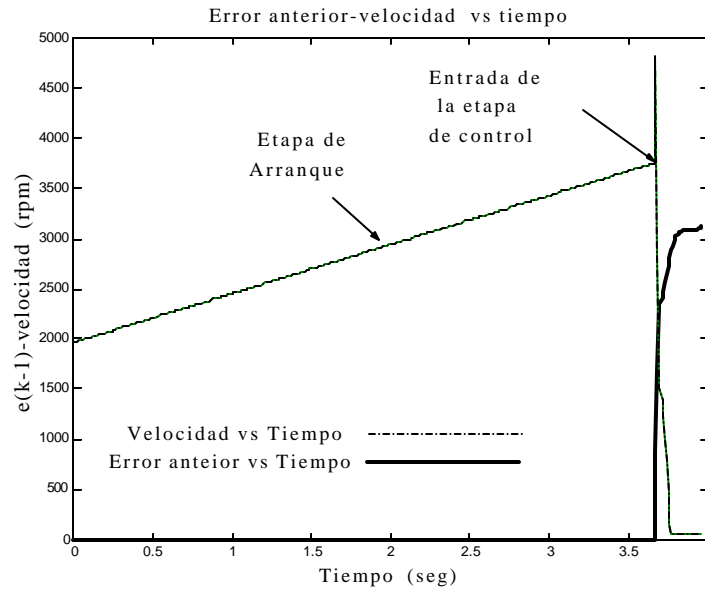


Figura 4.4. Gráfica Error Anterior – Velocidad vs. Tiempo.

Cuando el macro se ejecuta en la etapa de control, las variables obtenidas de la ejecución de este, se emplean en los bloques MEMBERSHIP e IMPLICACIONES\_SUGENO de la forma descrita en los apartados siguientes.

#### 4.5.3.2. Obtención los grados de membresía (valores difusos).

Para poder tener la variable de salida (dada por la ecuación 2.4 del capítulo 2) que sirve para controlar la velocidad del motor de c.d. por medio del algoritmo de Takagi - Sugeno, es necesario haber obtenido antes el grado de membresía  $\mu$  y haber evaluado las ecuaciones de diferencia 2.2 y 2.3 del capítulo 2.

El bloque denominado MEMBERSHIP de la figura 4.2 es la encargada de generar los valores de membresía. Esto se logra evaluando  $|e(k)|$  en la funciones de membresía de tipo trapezoidal dadas por la figura 2.2 del capítulo 2. En esta figura se pueden distinguir tres regiones de evaluación del  $|e(k)|$  que fueron importantes para la programación:

- La primera es cuando  $|e(k)| < X_0$ .
- La segunda es cuando  $X_0 < |e(k)| < X_1$ .
- La tercera es cuando  $|e(k)| > X_1$ .

En la primera región ( $|e(k)| < X_0$ ) los grados de membresía son:  $\mu_{bajo} = 1$  y  $\mu_{alto} = 0$ . En la segunda región ( $X_0 < |e(k)| < X_1$ ) los grados de membresía tienen que ser evaluados mediante las siguientes expresiones:

$$\mathbf{m}_{bajo} = \frac{X_1 - |e(k)|}{X_1 - X_0} \quad (4.1)$$

$$\mathbf{m}_{alto} = \frac{|e(k)| - X_0}{X_1 - X_0} \quad (4.2)$$

La obtención de  $\mu_{bajo}$  y  $\mu_{alto}$  por medio de la ecuación 4.1 y 4.2 se debe a las pendientes existentes en las funciones de tipo trapezoidal “BAJO” y “ALTO”. En la tercera región ( $|e(k)| > X_1$ ) los valores de membresía son:  $\mu_{bajo} = 0$  y  $\mu_{alto} = 1$ .

En base a lo anterior el diagrama de flujo para la programación de la rutina MEMBERSHIP fue:

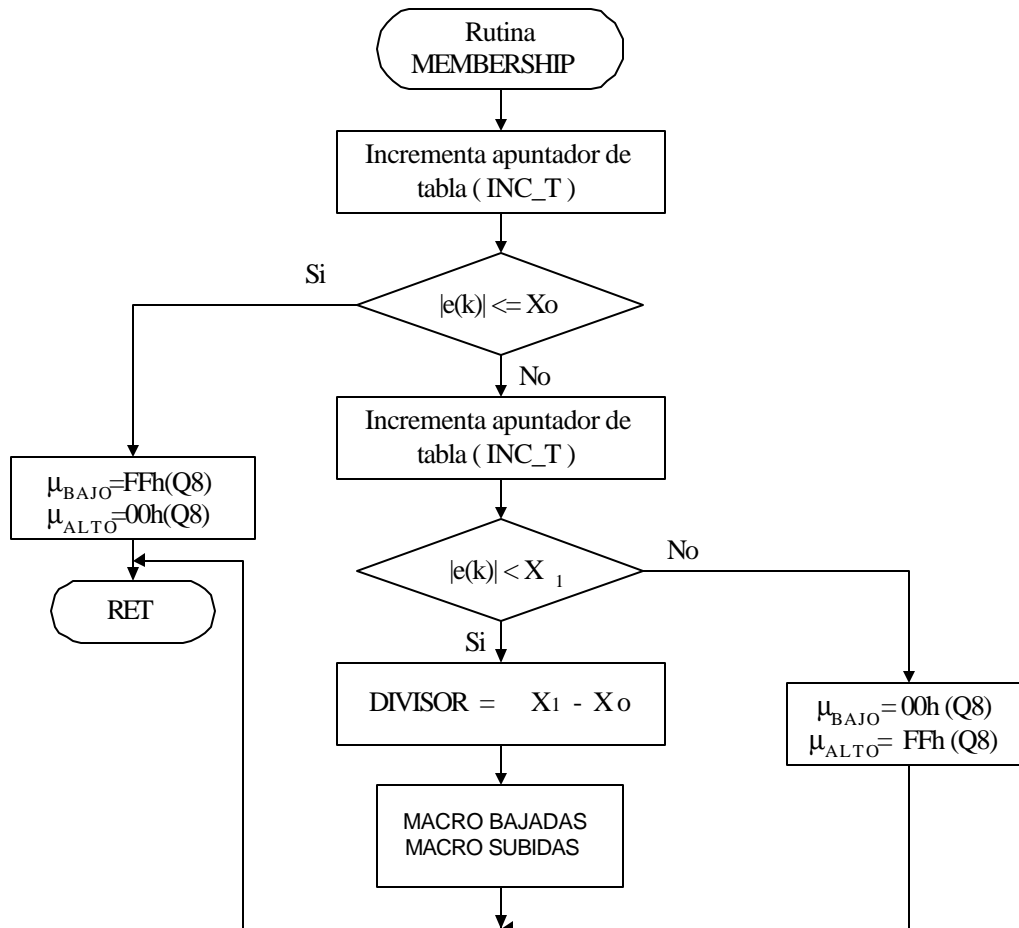


Figura 4.5. Diagrama de flujo para la rutina MEMBERSHIP

La variable  $INC\_T$  que aparece en diagrama de flujo de la figura 4.5 tiene como objetivo obtener  $X_0$  y  $X_1$  que se emplean a lo largo de la programación de la rutina, mientras que en el macro “BAJADAS” y en el macro “SUBIDAS” de la misma figura, se evalúan las ecuaciones 4.1 y 4.2.

Otra característica importante que se observa en el diagrama de flujo de figura 4.5, es que el valor de  $\mu$  más grande, corresponde a un valor de FFh que da un valor cercano a 1 siempre y cuando este valor se tome en formato Q8 es decir:

$$2^{-8} + 2^{-7} + 2^{-6} + 2^{-5} + 2^{-4} + 2^{-3} + 2^{-2} + 2^{-1} = 0.996 \text{ decimal} \approx 1$$

El valor de FFh en Q8 cubre los requisitos dados por la figura 2.2 del capítulo 2. Para ver el modo en que se implementó el diagrama de flujo en lenguaje ensamblador, es necesario ver el listado del programa de control que se encuentra en el apéndice F.

#### 4.5.3.3. Evaluación de las ecuaciones de diferencia.

Para evaluar las ecuaciones de diferencia 2.2 y 2.3 del capítulo 2 se utilizó la rutina denominada IMPLICACIONES\_SUGENO. El diagrama de flujo de esta rutina puede ser vista en la figura 4.6, mientras que su programación en lenguaje ensamblador se encuentra en el apéndice F. En el diagrama de flujo de la figura antes mencionada, se puede ver que las ecuaciones de diferencia 2.2 y 2.3 del capítulo 2 sufrieron dos tipos de modificaciones. La primera correspondió a un cambio de variable ( $u_1(k) = u_{bajo}$ ,  $u_2(k) = u_{alto}$ ,  $a_1 = ab$ ,  $a_2 = aa$ ,  $b_1 = bb$  y  $b_2 = ba$ ) y la segunda la eliminación del término  $u(k-1)$  ya que este valor se encuentra implícito en la rutina PWM.

El valor de las constantes  $ab$ ,  $aa$ ,  $ba$  y  $bb$  que contienen  $K_p$  y/o  $K_i$  fueron obtenidas en el apartado 2.3 y mediante el método desarrollado en la referencia [6] y transcrito en apartado antes mencionado.

El formato empleado para la representación de las constantes en el programa fue Q5, y sus valores fueron:

$$ab = 47h = 2.21875$$

$$bb = 40h = 2.00000$$

$$aa = 68h = 3.15000$$

$$ba = 60h = 3.00000$$

El motivo de ocupar este formato, radica en tener la mayor precisión posible en lenguaje ensamblador, de los valores obtenidos por simulación.

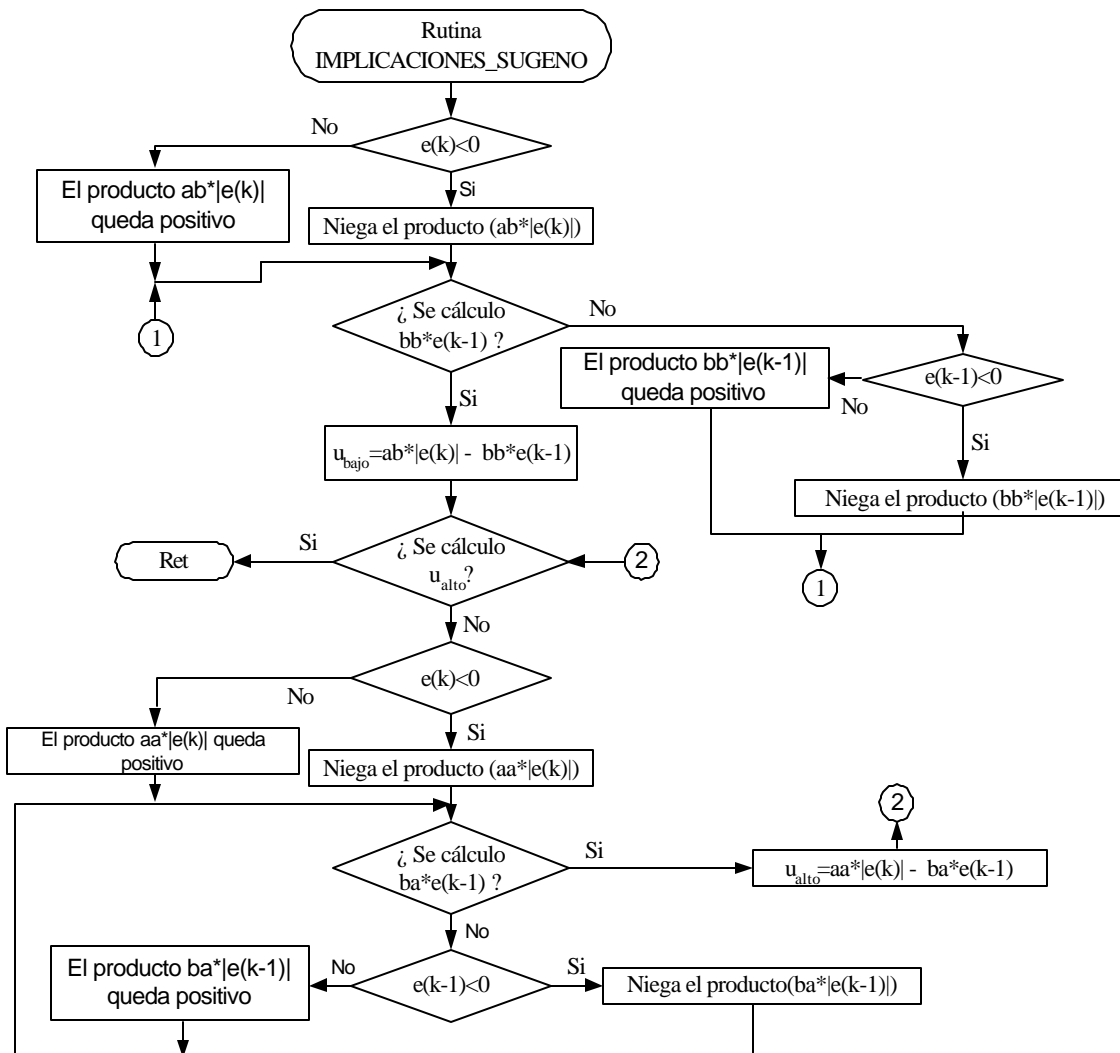


Figura 4.6. Diagrama de flujo de la rutina IMPLICACIONES\_SUGENO.

#### 4.5.4. Etapa de salida.

La etapa de salida permite evaluar la ecuación 2.4 del capítulo 2 y manda los datos de la señal PWM a pantalla, logrando ver así el comportamiento del control de velocidad. Las rutinas SALIDA \_ REAL, PWM\_OUT y PANTALLA que se encuentran en la figura 4.2, realizan estas funciones. La forma en que lo hacen se describe a continuación.



Una vez obtenido los valores difusos y haber evaluado las ecuaciones de diferencia en las rutinas MEMBERSHIP e IMPLICACIONES\_SUGENO correspondientes a la etapa de control, el programa entra a la etapa de salida.

La primera rutina de esta etapa corresponde a la rutina denominada SALIDA \_ REAL y cuyo objetivo es evaluar la ecuación 2.4 de capítulo 2 tal y como se muestra en la figura 4.7.

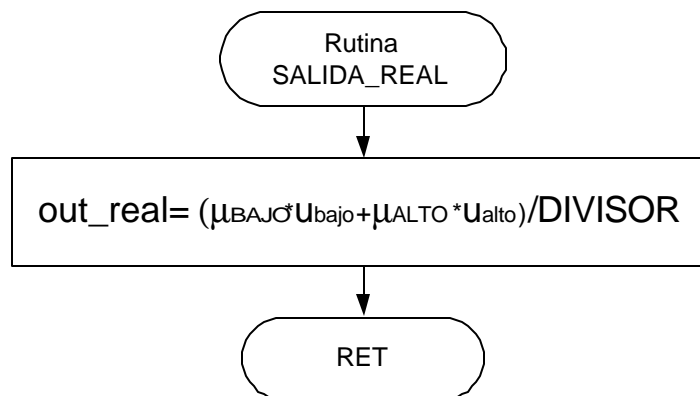


Figura 4.7. Diagrama de flujo de la rutina SALIDA \_ REAL

En la figura 4.7 el registro DIVISOR se emplea para guardar la suma de los grados de membresía ( $\mu_{ALTO} + \mu_{BAJO}$ ) y, el registro "out \_ real" tiene la función de guardar el resultado de la evaluación. El valor de este registro, corresponde a la variable de salida del control tipo Takagi – Sugeno y cuyo formato es Q5. Debido a la necesidad de tener una señal modulada al 0-100% el valor es transformado al formato Q0.

La rutina encargada de cambiar el formato del valor del registro out \_ real por desplazamiento de lugares, lleva el nombre de PWM\_OUT. Su diagrama de flujo se muestra en la figura 4.8.

Mediante el primer bloque condicional de la figura 4.8, se puede ver que el cambio del formato de la variable `out_real` no se realiza de forma inmediata, ya que primero se checa si este valor es positivo o negativo. Esto se realiza con el objetivo de permitir un aumento o una disminución del voltaje por señal PWM.

Los últimos dos bloques condicionales de la figura 4.8, permiten tener el punto mínimo y máximo en voltaje por señal PWM. Estos puntos permiten la saturación de la señal PWM, logrando tener siempre la posibilidad de controlar la velocidad del motor de c.d por este tipo de señal.

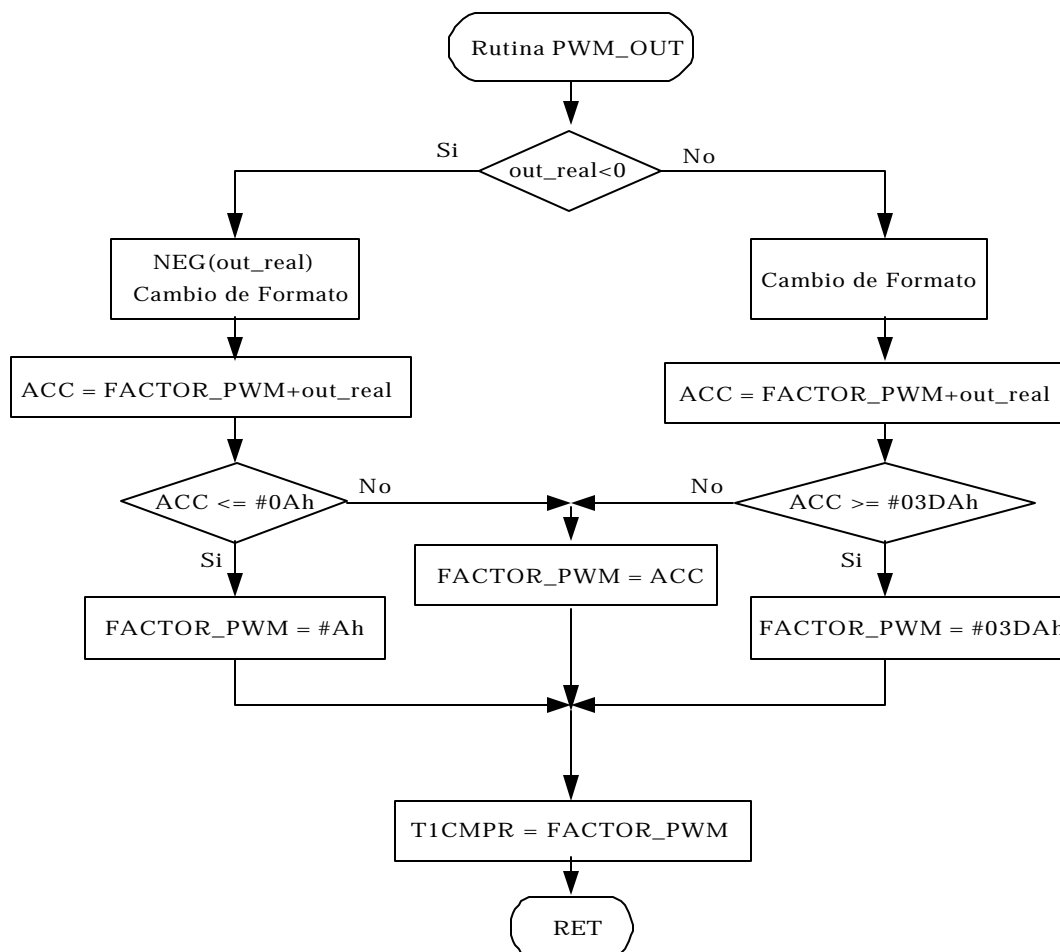


Figura 4.8. Diagrama de flujo de la rutina PWM\_OUT

El registro denominado `FACTOR_PWM` de la figura 4.8, contiene el valor de salida de la etapa que lleva el mismo nombre y cuyo objetivo es modular la señal PWM de la forma descrita en el apartado 3.4.2.1 del capítulo 3.

La ultima rutina que contiene la etapa de salida, se denomina PANTALLA. Esta rutina tiene la finalidad de convertir los datos hexadecimales de la señal PWM a valores decimales mediante la rutina HEX\_DEC y, posteriormente mandarlos a pantalla de la PC por medio de la rutina TX.

La rutina TX se auxilia de la rutina TRANSMITE, para checar si los datos han sido exitosamente mandados a la pantalla de la PC. Las líneas de comando de esta última se muestran a continuación:

```

TRANSMITE:
                SACL  *,AR3
                LDP   #00E0h
xmit_rdy      BIT   SCICTL2, BIT7
                BCND  xmit_rdy,NTC
                LDP   #ERROR
                RET

```

En esta parte del programa el chequeo de la transmisión de datos, se realiza mediante la prueba del BIT 7 del registro SCICTL2. Este registro, junto con los registros SCICCR, SCITL1, SCILBAUD, SCIHBAUD, SCIPC2 conforman el conjunto los elementos necesarios para la configuración del SCI tal y como se explico en el apartado 3.4.4 del capitulo 3. Los valores que tomaron estos registros en el programa del sistema de control fueron:

```

SCICCR    0000 0000 0011 0111 (0037h)
SCICTL1  0000 0000 0001 0010 (0012h)
SCICTL2  0000 0000 0000 0000 (0000h)
SCIHBAUD 0000 0000 0000 0000 (0000h)
SCILBAUD 0000 0000 0100 0000 (0040h)
SCIPC2   0000 0000 0000 0000 (0000h)

```

Con este valor para cada registro, la transmisión a pantalla se realiza a una velocidad de 19200 bauds, mediante el siguiente formato:

- Un bit de inicio.
- 8 bits de datos.
- Paridad impar.
- Un bit de paro.

La elección del modo de comunicación entre el DSP y la Terminal, se eligió en base a las características de esta última y a la necesidad de transmitir los datos en tiempo real. La ventana que permite la configuración de la Terminal se muestra en la figura 4.9.

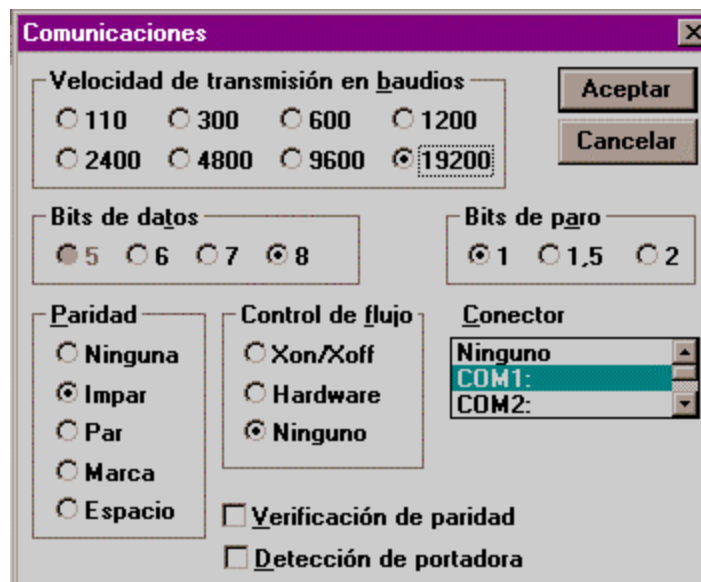


Figura 4.9. Protocolo de comunicación de la terminal de la PC.

La Terminal de la PC contiene una ventana denominada “Preferencias de Terminal”, la cual permitió configurar el Buffer a 399 líneas como máximo. Esta configuración sirvió para crear un archivo de datos capaz de ser graficado y cuyo objetivo fue el de observar el comportamiento del control.

---

---

**PRUEBAS Y RESULTADOS  
DEL SISTEMA DE CONTROL  
EN LABORATORIO**



**5  
CAPÍTULO**

---

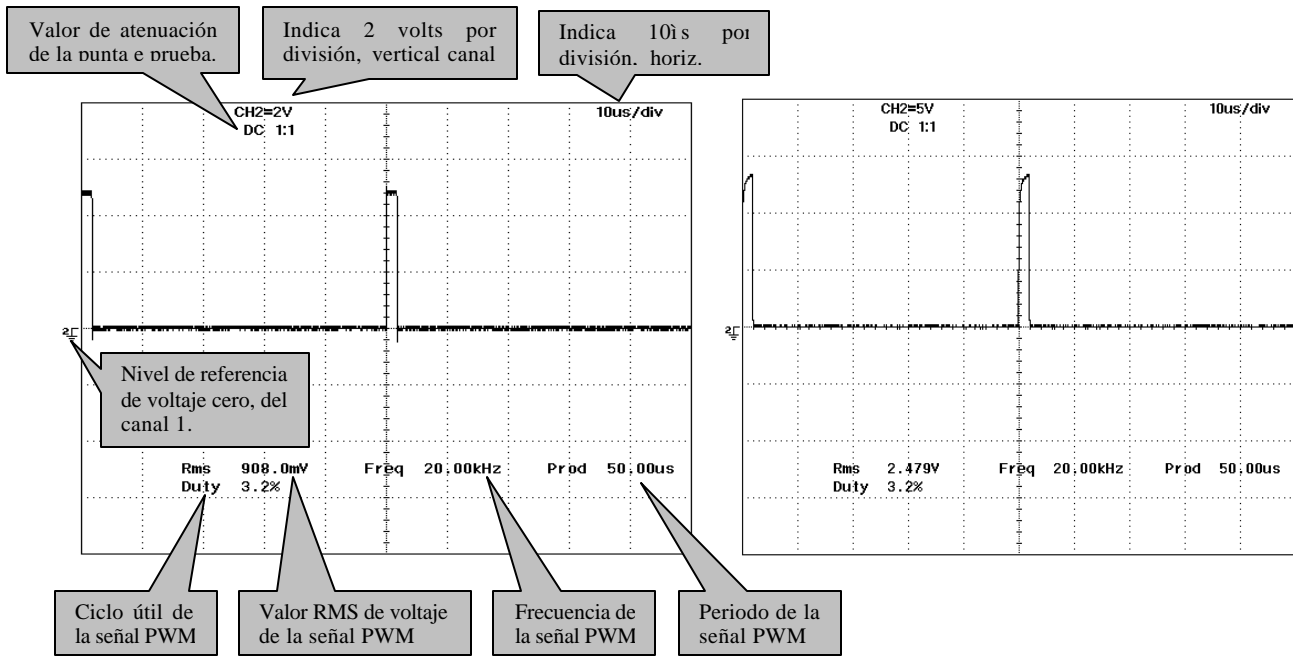
### **5.1 INTRODUCCIÓN**

Para mantener la frecuencia de 60Hz de la señal que se produce en el alternador, es necesario mantener al motor de corriente directa girando a 377 rad./seg. (3600 r.p.m.). De tal forma que el objetivo del regulador difuso tipo Takagi – Sugeno, es el de mantener la velocidad del motor de c.d. a este nivel de referencia ante diferentes formas de operación. En este capítulo se muestran los resultados de cada una de las pruebas realizadas al sistema de control.

### **5.2 PRUEBAS Y RESULTADOS DEL REGULADOR DE VELOCIDAD TIPO TAKAGI – SUGENO PARA UN ARREGLO MOTOR DE CD - ALTERNADOR.**

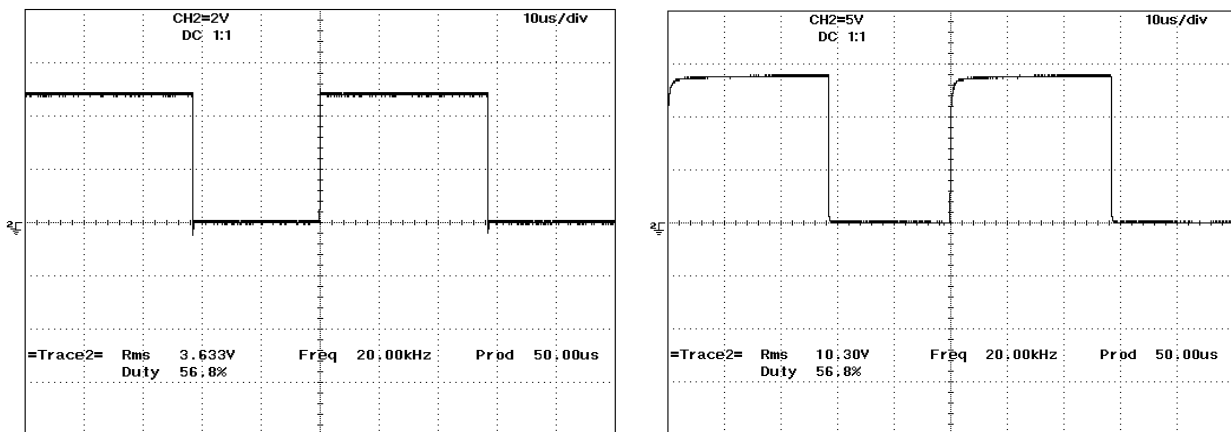
Para llegar a los resultados finales de la presente tesis, el control pasó por dos etapas de prueba: La primera etapa, permitió localizar el motivo por el cual el IGBT dejaba de operar a la hora de entrar la etapa de control del regulador de velocidad y, la segunda etapa permitió ver el comportamiento del regulador de velocidad ante diferentes formas de operación.

El inicio de la primera etapa consistió en ver el comportamiento de la señal PWM en la salida del DSP y en la compuerta del IGBT. Esta prueba se realizó sin alimentar la fuente de 300Vc.d. y sin regulador de velocidad. Los resultados de las pruebas están dados en los oscilogramas de la figura 5.1.



a)

b)



c)

d)

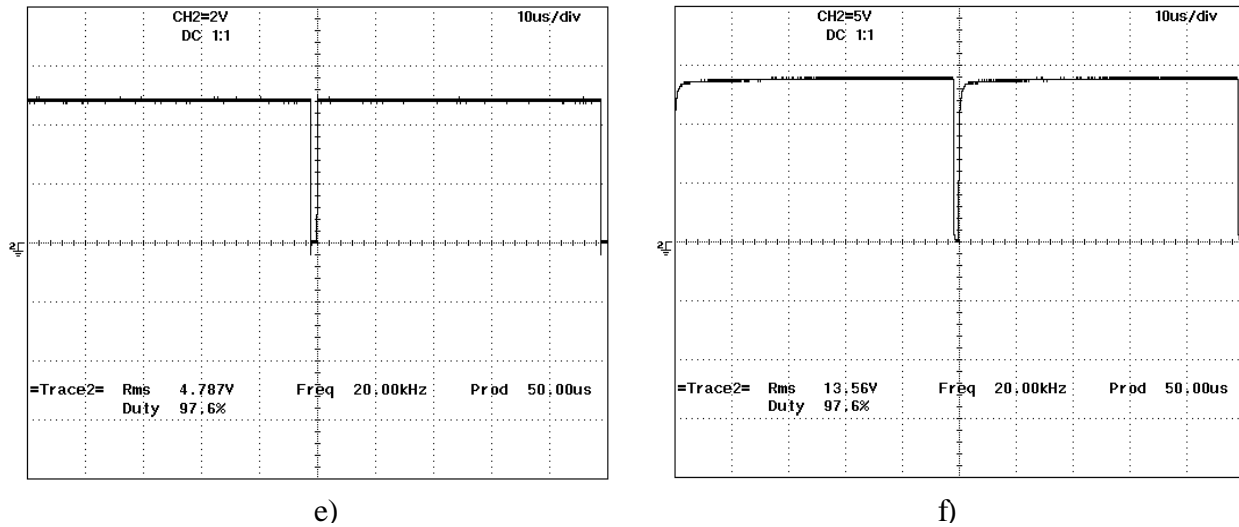


Figura 5.1. Las gráficas a, c y e muestra diferentes etapas de señal PWM que entrega el DSP mediante el pin 12. Las gráficas b, d, y f muestran la misma señal pero ahora medida en la compuerta del IGBT.

La siguiente fase de pruebas correspondiente a la primera etapa, fue ver el comportamiento de la señal PWM en la compuerta y en las terminales del colector a emisor del IGBT, cuando este dispositivo es alimentado con la fuente de voltaje de c.d. y esta operando el regulador de velocidad a lazo abierto. Los resultados de estas mediciones se pueden ver en los oscilogramas de la figura 5.2

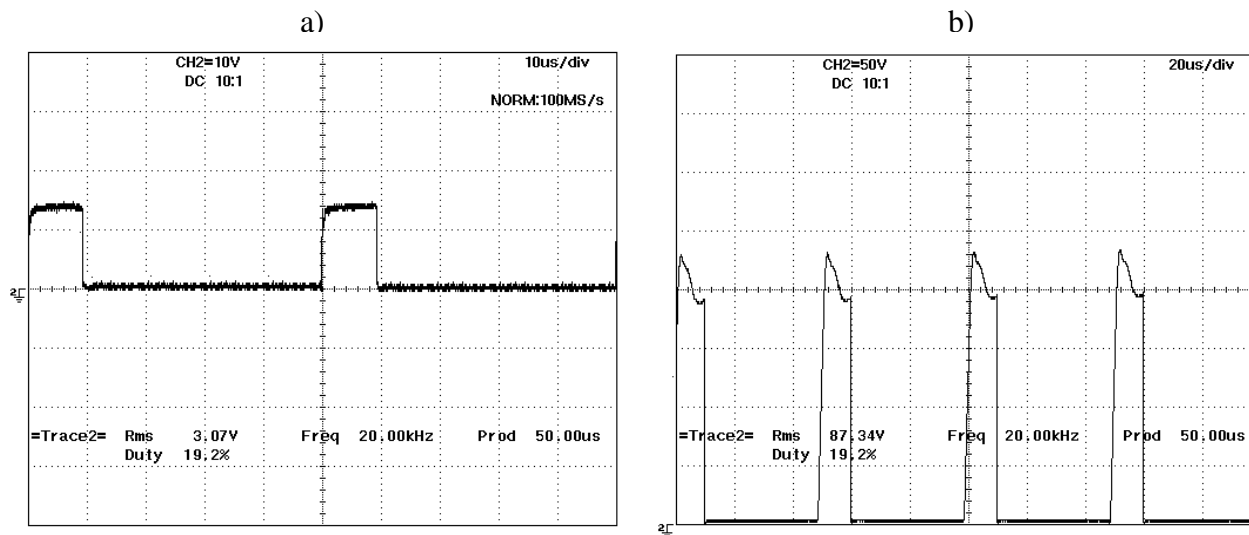


Figura 5.2. a) Señal medida en la compuerta del IGBT. b) Señal medida entre el colector y emisor del IGBT.

Comparando las gráficas de la figura 5.1 incisos b, d ó f con la gráfica de la figura 5.2a, se pudo ver que las señales son semejantes ante diferentes modos de operación, dando como conclusión que la señal PWM que permite la conmutación de IGBT no era la causante de la destrucción del mismo. Otra comparación que corroboró esto, fue la señal PWM medida entre el colector y emisor del IGBT (figura 5.2b), ya que esta señal es semejante a las mostradas en la referencia [34] y cubre los requerimientos del dispositivo que se muestran en el apéndice B.

Como la señal PWM que sale del DSP no era la causante del problema ni tampoco la fuente de c.d. se pasó a graficar la señal que controla el PWM ( Factor\_PWM ), la señal de entrada al convertidor A/D del DSP (A/D) y la señal de entrada al regulador ( $\Phi_e\Phi$ ). Estas variables fueron obtenidas bajo las condiciones antes descritas y su gráfica se puede ver en la figura 5.3.

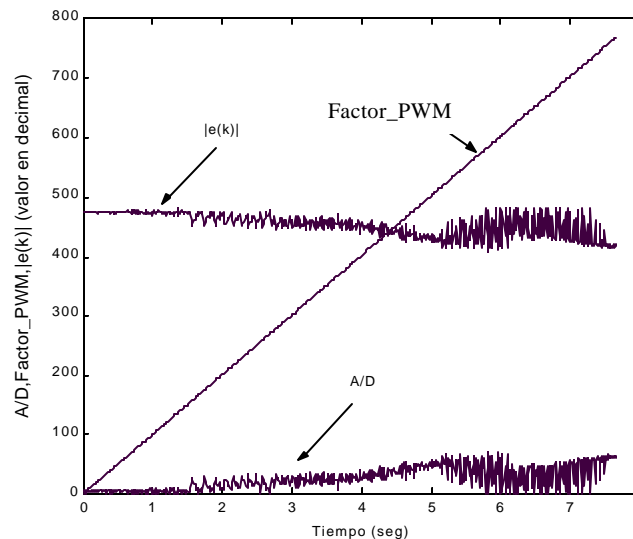


Figura 5.3. Comportamiento del Factor PWM, del absoluto del error y de la señal medida en el convertidor A/D durante la etapa de arranque del regulador.

Los resultados de la figura 5.3 permitieron ver que la señal de entrada al DSP (A/D), tenía un comportamiento anormal durante la etapa de arranque. Debido a esto se procedió a realizar el siguiente experimento: se arranco únicamente el programa de control con



retroalimentación y se dejó correr por unos minutos. Esto dio como resultado la grafica de la figura 5.4.

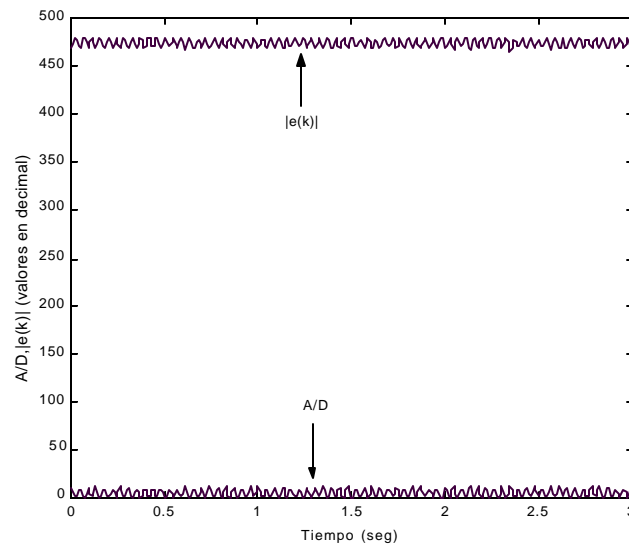


Figura 5.4. Ruido inducido por el divisor de voltaje.

La figura 5.4 permitió observar la existencia de un voltaje inducido, causado por las resistencias empleadas en el divisor de voltaje. Para dar solución a esto, se tomó otro conjunto de resistencias para formar dicho divisor, de tal forma que estas permitieron dar las mismas características en voltaje que sus predecesoras. El beneficio que se logró al realizar esta operación, se puede ver en la figura 5.5.

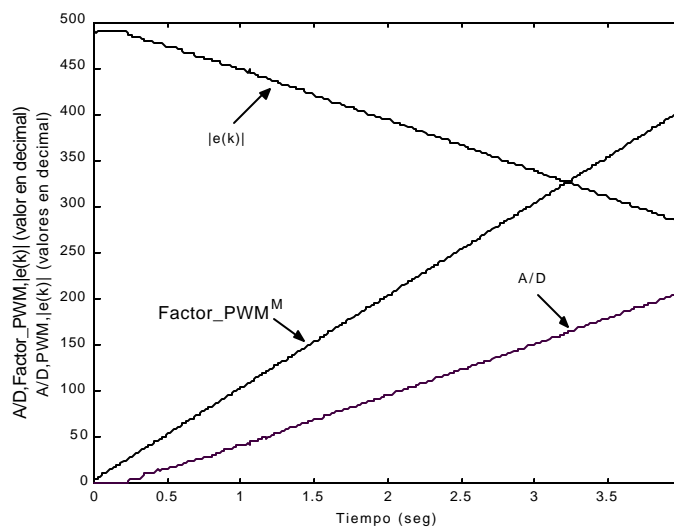
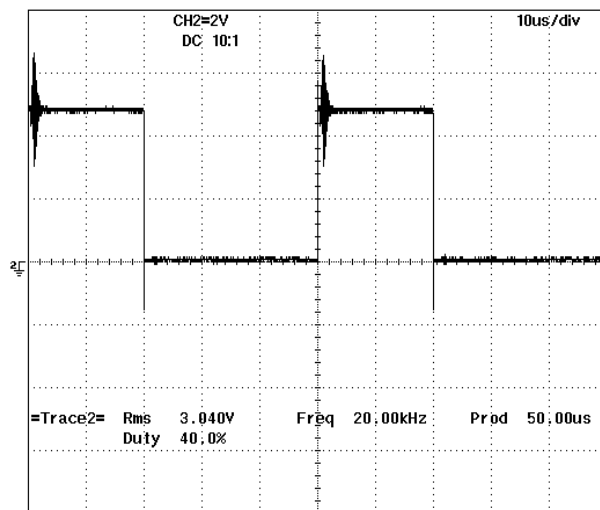
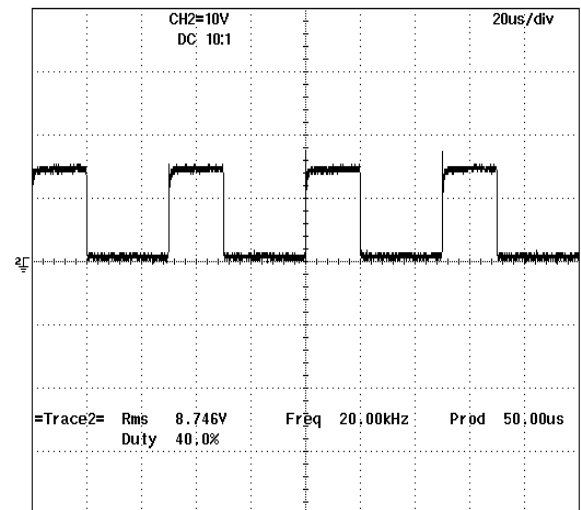


Figura 5.5. Comportamiento del Factor PWM, del absoluto del error y de la señal medida en el convertidor A/D durante la etapa de arranque del regulador.

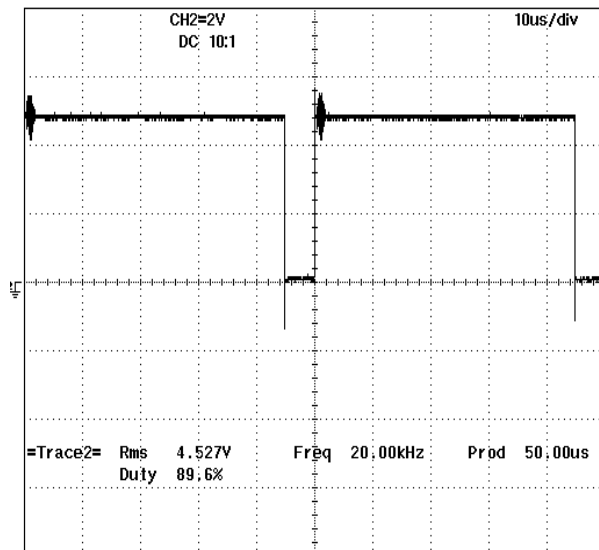
Superados los problemas descritos anteriormente, se presentan a continuación los resultados de la implementación del regulador de velocidad empleando el algoritmo de Takagi – Sugeno (segunda etapa de pruebas).



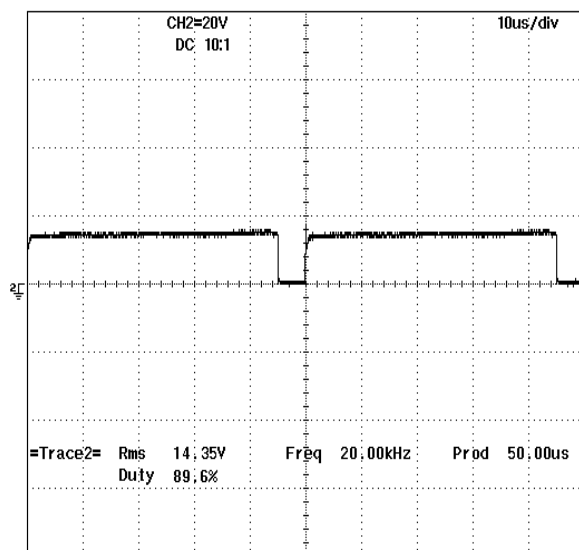
a)



b)



c)



d)

Figura 5.6. a),c) Comportamiento de la señal PWM, medido en el pin 12 del DSP. b),d) Comportamiento de la señal PWM, medido en la compuerta del IGBT.

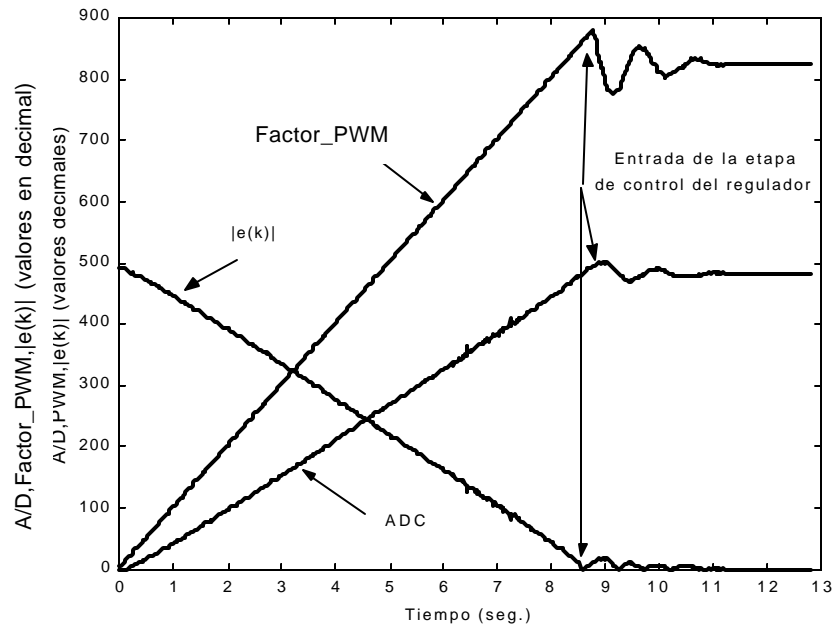


Figura 5.7. Comportamiento del Factor PWM, del absoluto del error y de la señal medida en el convertidor A/D desde la etapa de arranque hasta la entrada de la etapa de control.

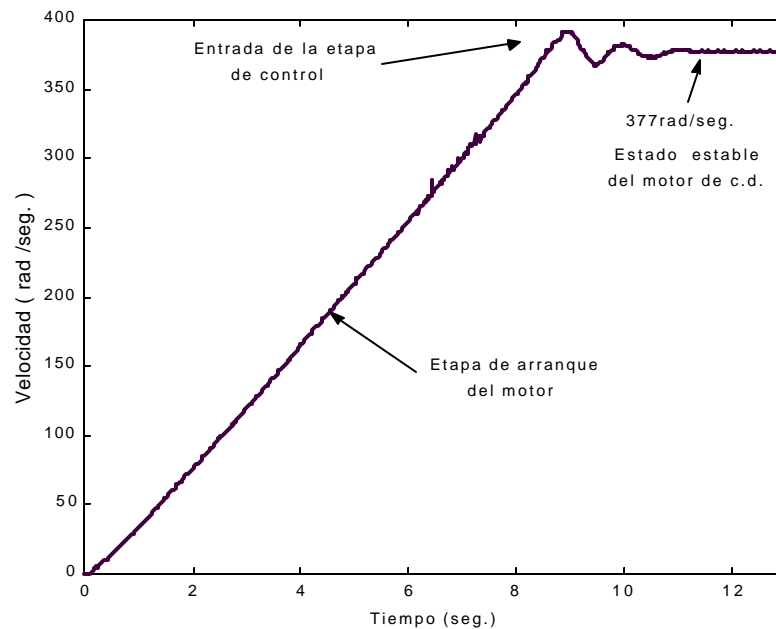


Figura 5.8. Comportamiento de la velocidad del motor de c.d. desde el arranque hasta la entrada de la etapa del control

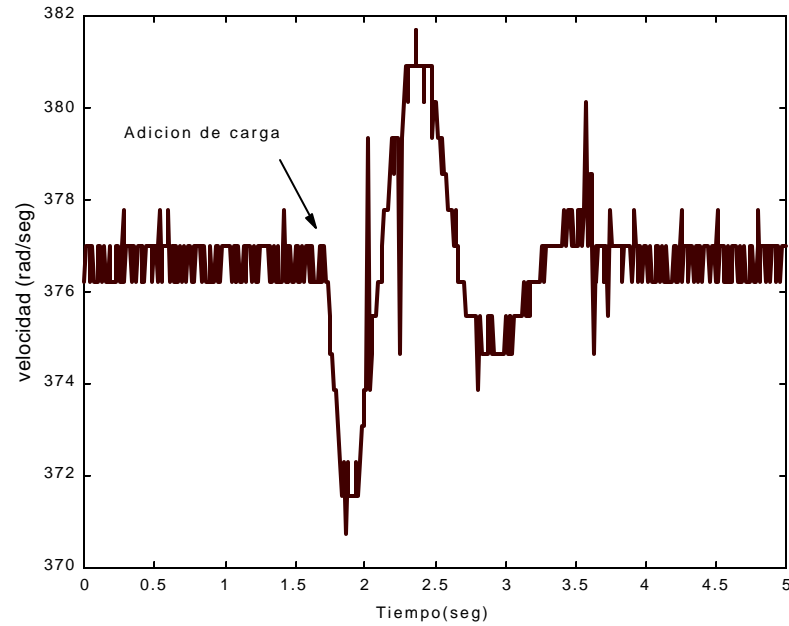


Figura 5.9. Comportamiento de la velocidad del motor de c.d. al aplicarle carga al alternador.

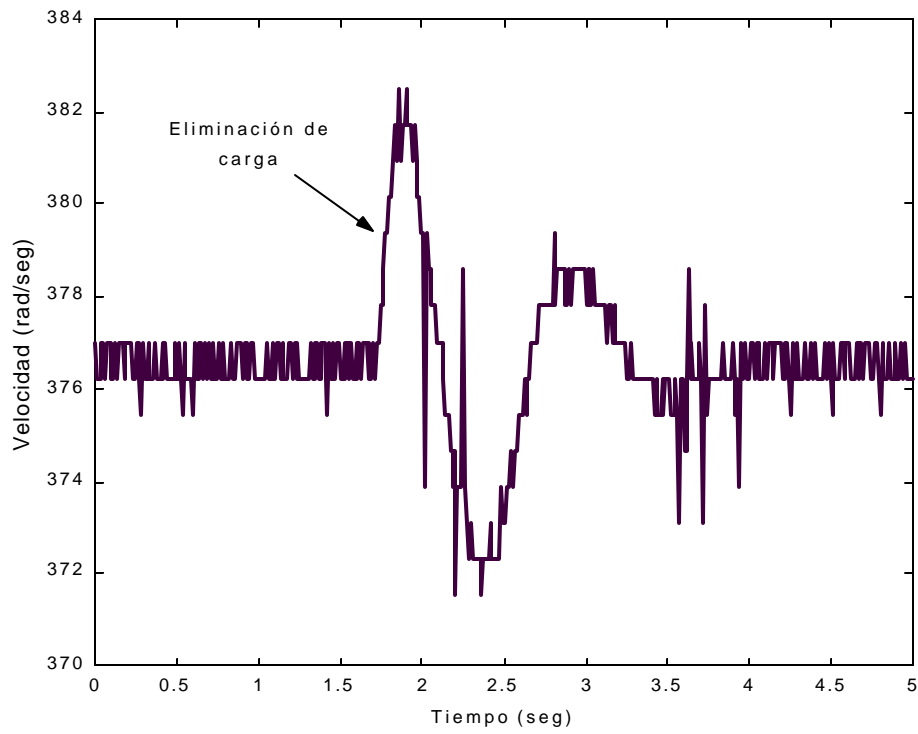


Figura 5.10. Comportamiento de la velocidad de motor de c.d. al eliminarle carga al alternador.

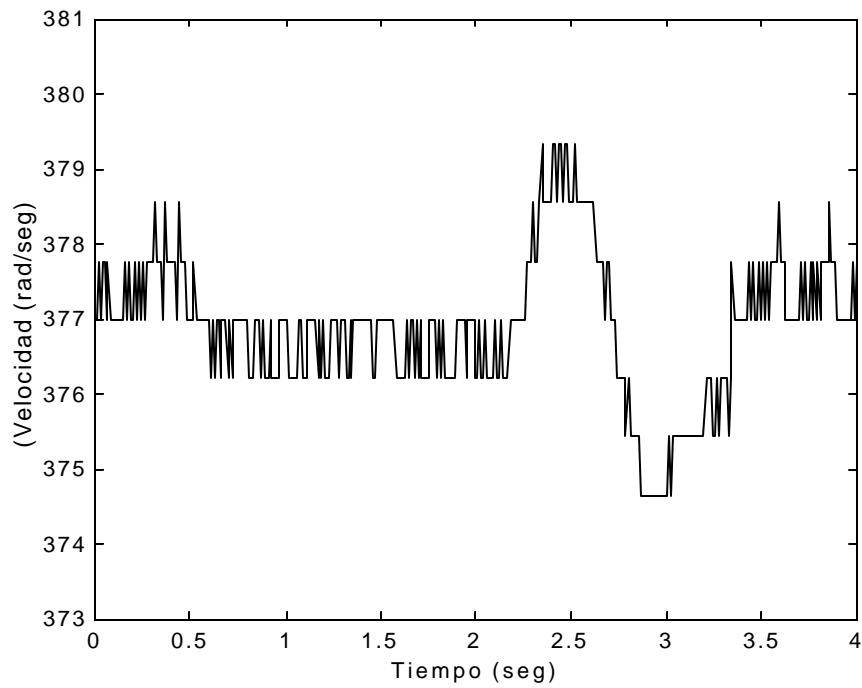


Figura 5.11. Comportamiento de la velocidad del motor de c.d. al presentarse un corto circuito monofásico en el alternador.

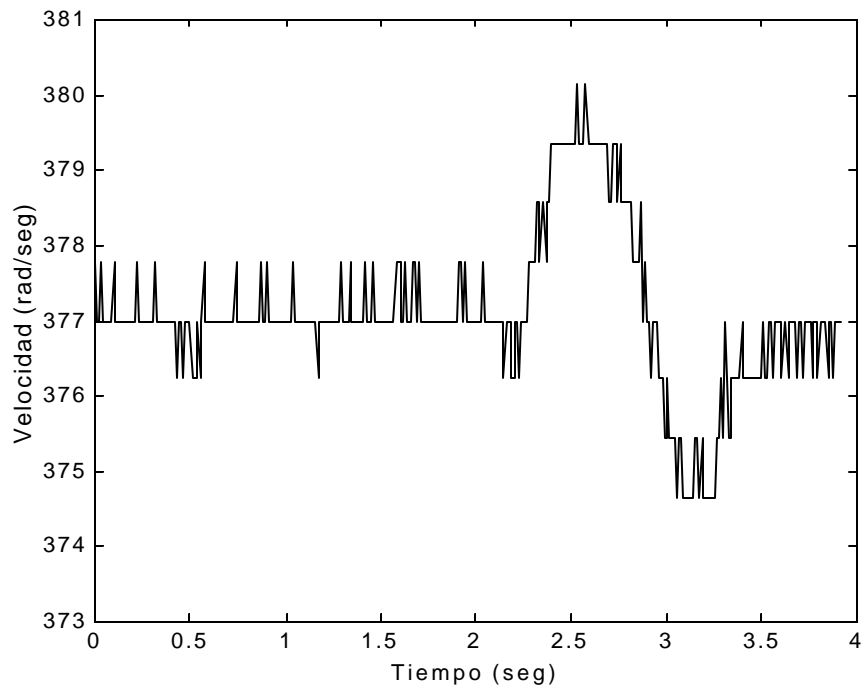


Figura 5.12. Comportamiento de la velocidad del motor de c.d. al presentarse un corto circuito bifásico en el alternador.

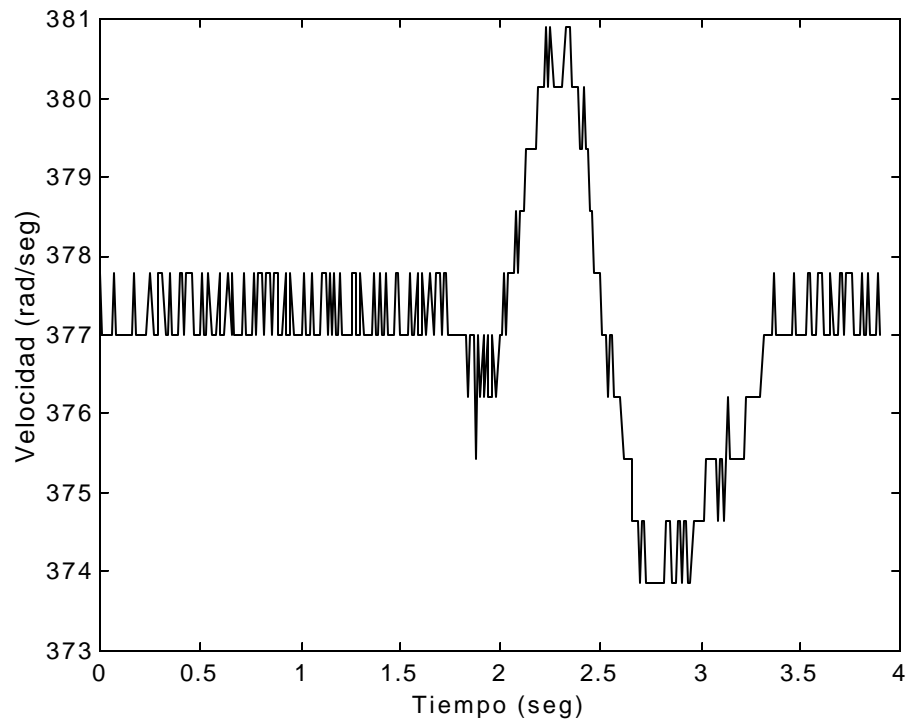


Figura 5.13. Comportamiento de la velocidad del motor c.d al presentarse un corto circuito trifásico en el alternador.

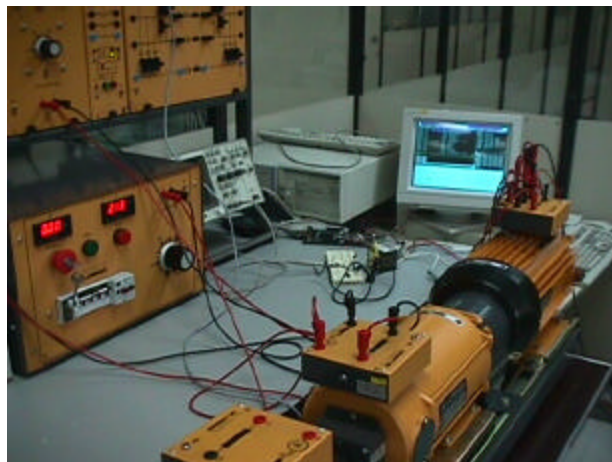


Figura 5.14. Equipo de laboratorio empleado para las pruebas.

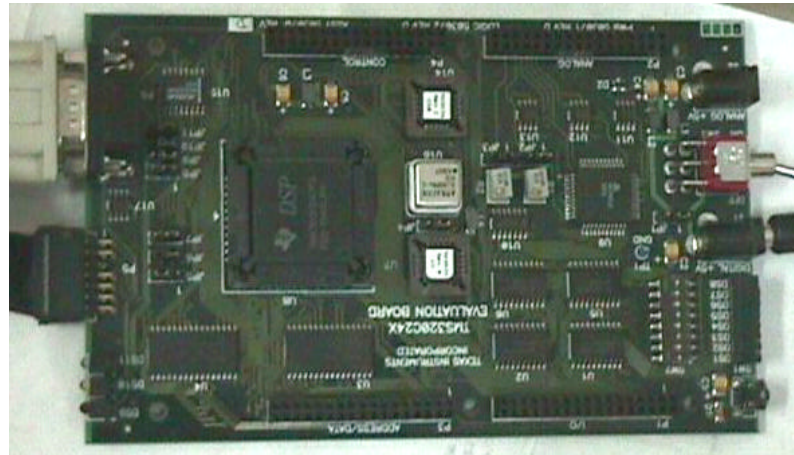


Figura 5.15. Tarjeta de evaluación TMS320F240.

Las gráficas del osciloscopio mostradas en la figura 5.6, muestran la señal PWM medidas a diferentes tiempos. Estas mediciones se realizaron en la salida del DSP y en la entrada del IGBT. En las gráficas a y c de la misma figura, se observa que la señal presenta ruido, que no afecta al funcionamiento del IGBT, ya que esta señal se limpia cuando entra al “driver” evitando de esta manera disparos en falso en la compuerta del IGBT.

La figura 5.8 muestra el comportamiento de la velocidad del motor de c.d. al arranque y a la entrada del regulador. El tiempo de la etapa de arranque dura 8.9 seg. durante el cual, el regulador no está funcionando, terminado este tiempo entra el regulador ocasionando una perturbación que dura 2.2seg. Esta oscilación se debe a que el motor estaba acelerado al final de la etapa de arranque.

En la figura 5.9 se muestra la respuesta del motor de c.d., cuando se le aplica una carga resistiva que demanda 300 watts de potencia al alternador. En ella se observa que la velocidad del motor disminuye. Sin embargo al actuar el regulador, la velocidad de 377rad/seg. se vuelve a recuperar. El tiempo que tarda el regulador para estabilizar al sistema es de 2 seg. El valor mínimo de velocidad que alcanza el motor es de 371rad/seg. que corresponden a una frecuencia de 59.04Hz, mientras que el valor máximo de velocidad es de 381rad/seg., que corresponde a una frecuencia de 60.63 Hz.



En la figura 5.10 se muestra el caso en que se le quita la carga al alternador. En ella se observa que el motor tiende a acelerar y el regulador estabiliza el sistema en un tiempo de 2.2seg. El valor máximo en velocidad de esta señal es 382rad/seg. que equivale a una frecuencia de 60.79Hz, mientras que la parte mas baja es de 372rad/seg. que equivale a una frecuencia de 59.2Hz.

En la figura 5.11 se muestra el caso en que se presenta un corto circuito monofásico repentino en las terminales del alternador. En ella se observa que el motor de c.d. tiende a acelerar ya que la potencia eléctrica se iguala a cero. Como la falla es repentina y no prevalece el regulador de velocidad vuelve a estabilizar el sistema en 1.22 seg. El valor máximo en velocidad de esta señal es 379.5 rad/seg. que equivale a una frecuencia de 60.39Hz, mientras que la parte mas baja es de 374rad/seg. que equivale a una frecuencia de 59.6Hz.

En la figura 5.12 se muestra el caso en que se presenta un corto circuito bifásico repentino en las terminales del alternador. En ella se observa que el motor de c.d. tiene el mismo comportamiento que en la prueba anterior. Sin embargo el tiempo de estabilización del sistema es de 1.27 seg. El valor máximo en velocidad de esta señal es 380 rad./seg. que equivale a una frecuencia de 60.47Hz, mientras que la parte mas baja es de 375rad/seg. que equivale a una frecuencia de 59.68Hz.

En la figura 5.13 se muestra el caso en que se presenta un corto circuito trifásico repentino en las terminales del alternador. Una vez mas el comportamiento es el mismo comparado con sus predecesoras (corto circuito monofásico y bifásico). Sin embargo lo que cambia es el tiempo de estabilización y los valores máximos y mínimos en velocidad que alcanza el motor. Para el tiempo de estabilización se tiene 1.65 seg., el valor máximo en velocidad es 881rad / seg. (60.63Hz.) y el valor mínimo en velocidad es de 374 rad./seg. (59.6Hz).

Para todos los casos el sistema se comporta estable. En la figura 5.14 se muestra el equipo de laboratorio empleado para los experimentos y en la figura 5.15 se muestra la tarjeta de aplicación TMS320F240.

---

## CONCLUSIONES APORTACIONES Y TRABAJOS A FUTURO

A square graphic with a vertical gradient from light to dark gray. In the center, the number '6' is written in a large, bold, black serif font. Below the number, the word 'CAPÍTULO' is written in a smaller, bold, black serif font.

# 6 CAPÍTULO

---

### 6.1 CONCLUSIONES

En el desarrollo de esta tesis, se realizaron las siguientes etapas: Obtención de los parámetros del motor de c.d. [36,37] ; sintonización del regulador de velocidad; análisis de estabilidad del control; elaboración e implementación del algoritmo de control tipo Takagi – Sugeno en el procesador de señales digitales TMS320F240; elaboración del circuito de potencia para alimentación del motor c.d.; y pruebas al regulador de velocidad con el arreglo motor de c.d - alternador en lazo cerrado. Las pruebas realizadas fueron: corto circuito monofásico, corto circuito bifásico, corto circuito trifásico, adición y eliminación de carga al alternador.

De los resultados obtenidos se puede concluir:

- 1.- El algoritmo empleado en la sintonización del regulador de velocidad por simulación, permitió variar las ganancias proporcional e integral entre las diferentes regiones del error. Estas ganancias se tomaron como base para la implementación.
- 2.- El análisis de estabilidad permitió comprobar que el regulador de velocidad era estable bajo las condiciones dadas.
- 3.- El regulador difuso Tipo Takagi Sugeno implementado en el DSP, funciono adecuadamente ante pruebas de corto circuito y variación de carga.

## 6.2 APORTACIONES DE LA TESIS

Las aportaciones de esta tesis son las siguientes:

- Se diseño y construyó un regulador de velocidad difuso tipo Takagi – Sugeno para un arreglo motor de c.d.-alternador, empleando un procesador de señales digitales. Con ello se sientan las bases para futuros trabajos de implementación con este tipo de tarjetas.
- Se diseñó y construyó un circuito que permite conmutar un IGBT desde un DSP, de forma confiable, ya que aísla las etapas de potencia y control y puede ser empleado en aplicaciones similares al realizado en la tesis.
- Se obtuvieron los parámetros del motor de corriente directa, que servirán para futuros estudios de investigación y docencia, ya que este dispositivo forma parte del equipo de laboratorio de máquinas eléctricas (LME ) que se encuentra en la SEPI-ESIME Zacatenco.

## 6.3 TRABAJOS A FUTUROS

- Implementación de reguladores de velocidad en otros tipos de DSP con motivos de investigación y docencia.
- Aplicación de otros métodos de sintonización para el regulador de velocidad.
- Implementación en el DSP del lazo de corriente para el regulador de velocidad.

## REFERENCIAS

---

- [1] Takagi and Sugeno, “*Fuzzy identification of systems and its applications to modeling and control*”. IEEE, Trans. Syst., Man, Cybern., vol.15, pp.116-132, 1985.
- [2] Mamdani E.H. , “*Application of fuzzy algorithms for control of simple dynamic plant*”. Proc.IEEE, vol.121, no.12, pp. 1585-1588, 1976.
- [3] Chuen Chien Lee, “*Fuzzy Logic in Control Systems: Fuzzy Logic Controller-Part I*”. IEEE Transactions on Systems, Man, and Cybernetics. Vol. 20 No 2, pp. 404-418, Marzo/Abril 1990.
- [4] Timothy A. Adcock. “*Fuzzy Logic: An Overview of the Latest Control Methodology*”. Application Report, SPRA028. Texas Instrument, Enero 1993.
- [5] Romero Romero David y Cortes Mateos Raúl, “*Diseño de un sistema de regulación de voltaje de una máquina síncrona por control Difuso*”. IEEE Sección México, RVP. Julio 1994.
- [6] Cortes Mateos Raúl, “*Control de excitación difuso de un generador síncrono*”. SEPI-ESIME ZACATENCO. Tesis para obtener el Grado de Doctor en Ciencias, México D.F. 1997.

- 
- [7] H. M. Gerardo Celso. “Control difuso de velocidad de un motor de corriente directa”. SEPI-ESIME ZACATENCO. Tesis para obtener el Grado de Maestro en Ciencias, México D.F. 1997.
- [8] Díaz García Luis M, “Desarrollo de una tarjeta para el control difuso de velocidad de un motor de c.c. basado en un paquete Fudge”. SEPI-ESIME Zacatenco. Tesis para obtener el Grado de Maestro en Ciencias, México D.F. 1999.
- [9] Herrera Espinosa Javier y Ramírez Trujillo Jorge. “Implementación de un Control Difuso de Velocidad a un Motor de C.D. microcontrolador 68HC11”. 4a semana de Control y automatización ESIME Zacatenco, México D.F. 1999.
- [10] Cortés Mateos R. ,Domitilo Libreros, Herrera E. J. y Ramírez T. J. “Control de Excitación de una Máquina Síncrona Empleando el Método Difuso de Takagi Sugeno”. Reunión de Verano de Potencia y Aplicaciones Industriales. Acapulco, México 2000.
- [11] Texas Instruments. “Dsp Controllers Reference Set Volumen 1. Cpu System and Instruction”. Diciembre 1997.
- [12] Texas Instruments. “Dsp Controllers Reference Set Volumen 2.Peripheral Library and Specific Devices”. Diciembre 1997.
- [13] International Rectifier Control Integrated Circuits Página Web <http://www.irf.com>.
- [14] Hewlett Packard High Speed Optocouples Página Web <http://www.hp.com>.
- [15] J. Maiers and Y.S Sherif, , “Applications of Fuzzy Set Theory”. IEEE Transactions on Systems, Man and Cybernetics. Vol. SMC-15, No 1, pp. 175-786. January / February 1985.

- 
- [16] Glenn Anderson, “ *Fuzzy Logic: What It Is; What It Does; What It Can Do*”. Current Technology Report., pp. 38-42 October 1994.
- [17] Constantin Von Altrock, “ *Fuzzy Logic and NaeuroFuzzy Aplications Explained*”, Prentice Hall 1995.
- [18] Figoli David, “*Generating a PWM Signal Modulated by an Analog Input Using the TMS320F240*”. Application Report: SPRA413, Texas Instrument,1999.
- [19] Zadeh,L.A., “*Fuzzy Sets*”. Information and control, pp338. ,1995.
- [20] K. Tanaka and Sugeno, “*Stability analysis and design of fuzzy control systems*”. Fuzzy Sets and Sitems, vol.45, no.2,pp. 135-156,1992.
- [21] Tanaka and Manabu Sano, “ Fuzzy Stability Criterion of a Class of Nonlinear Systems”. Information Sciencies, no.71,pp. 3-26,1993.
- [22] K. Tanaka and Manabu Sano, “*A Robust Stabilization Problem of Fuzzy Control Systems and its application to backing up control of a truck trailer*”. IEEE Trans. On Fuzzy Systems.,Vol.2,No.2, pp. 119-134,1994.
- [23] Laub A., “*Computation of Balancing Transformations*”, Proc. JACC Vol.1, paper FA8-E,1980.
- [24] Moore, B., “*Principal Component Analysis in Linear Systems: Controllability, Observability, and Model Reduction*”, IEEE Transactions on Automatic Control, 26-1, Feb. 1981.
- [25] Sthepen J. Chapman., “*Máquinas Eléctricas*”. Ed. Mc Graw Hill. Segunda edición, pp. 1-8,1993.
-

- 
- [26] Mantilla Caeiros Alfredo Víctor, “*Control Vectorial de motores de inducción usando procesadores de señales digitales*”. SEPI-ESIME Zacatenco. Tesis para obtener el grado de maestro en ciencias, México D.F., Mayo 2000.
- [27] García López Manuel, “*Control en lazo abierto de la velocidad de un motor de inducción utilizando PWM con vectores espaciales*”. Tesis de Maestría en Ciencias con Especialidad en Control, 2001, ESIME - ZACATENCO - IPN.
- [28] Texas Instruments. “Dsp Controllers Technical Reference”. Diciembre 1997.
- [29] Brod M.D. & Novotny W.D., “*Current Control VSI-PWM Inverters*”, IEEE Ind. Applications, vol 2 IA-21, No 4, pp 562-570, May/June 1985.
- [30] Bose B.K., “*Power Electronics and Variable Frequency Drives. Technology Applications*”, IEEE Press, 1996.
- [31] Chokhawala Rahul, Sobhani Sae. “*Switching Voltage Transient Protection Schemes For High Current IGBT Modules*”. International Rectifier Corporation. Applications Engineering. 233 Kansas St. 1998.
- [32] Herrera Espinosa Javier, Ramírez Trujillo Jorge, “*Modelo Matemático de una Máquina de C.D*”. Tesina para obtener el Diplomado de Matemáticas Aplicadas a la Ingeniería, ESIME- ZACATENCO-IPN, México D.F. 2000.
- [33] Rotating Machinery Committee of the IEEE Power Engineering Society. “*Test Procedures for Direct – Current Machines*”. IEEE Std. 113-1885.
- [34] Wildi de Vito. “*Experimentos con máquinas eléctricas*”. Ed. Limusa. México 1987.



## A. MAQUINA DE CORRIENTE DIRECTA

### A.1. Introducción

En este apéndice se hace referencia al motor de c.d., de una manera concreta ya que se tiene un conocimiento al menos básico de sus componentes, funcionamiento y generalidades. Se tomará y describirá las áreas de mayor interés y se presentara el modelo matemático, que es lo que importa en la realización de la tesis.

### A.2. Modelado matemático del motor de c.d. con corriente de campo constante.

En la figura A.1. se representa esquemáticamente el modelo de un motor de c.d. con excitación separada, en donde se considera que la corriente de campo es constante.

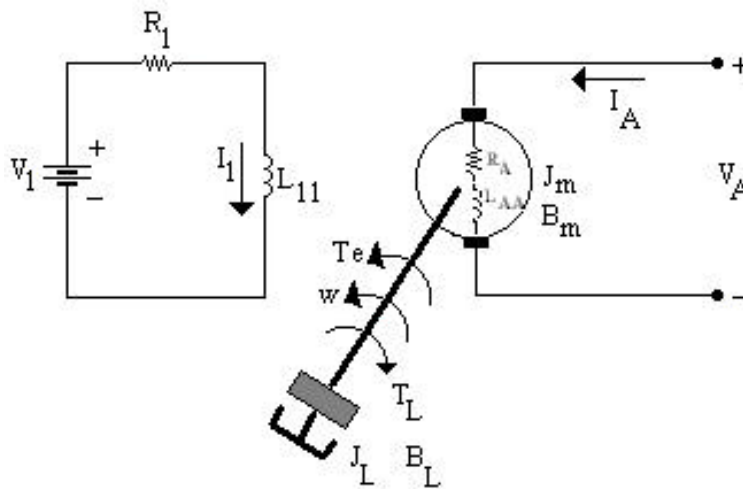


Figura A.1. Motor de c.d. con excitación separada y corriente de campo constante.

Bajo condiciones dinámicas, el par electromagnético del motor puede expresarse como:

$$T_e = K I_A = J \frac{dw}{dt} + B w + T_L \quad (\text{A.1})$$

Donde

$K = L_{AI} I_l$  es una constante.

$J = J_m + J_L =$  Coeficiente de fricción viscosa  $\left( \frac{\text{Kg} \cdot \text{m}^2}{\text{seg.}} \right)$

$B = B_m + B_L =$  Momento de inercia del sistema rotatorio total  $(\text{Kg} \cdot \text{m}^2)$

Durante el estado dinámico la ecuación de voltaje del circuito de armadura del motor de la figura A1 puede darse de la siguiente manera:

$$V_A = K \dot{\omega} + R_A I_A + L_{AA} \frac{dI_A}{dt} \quad (\text{A.2})$$

Expresando las ecuaciones A.1. y A.2. en una matriz de ecuaciones de estado, se obtiene el modelo de un motor de c.d. con corriente de campo constante de la manera siguiente:

$$\begin{bmatrix} \dot{I}_A \\ \dot{\omega} \end{bmatrix} = \begin{bmatrix} -\frac{R_A}{L_{AA}} & -\frac{K}{L_{AA}} \\ \frac{K}{J} & -\frac{B}{J} \end{bmatrix} \begin{bmatrix} I_A \\ \omega \end{bmatrix} + \begin{bmatrix} \frac{1}{L_{AA}} & 0 \\ 0 & -\frac{1}{J} \end{bmatrix} \begin{bmatrix} V_A \\ T_L \end{bmatrix} \quad (\text{A.3})$$

Tomando los parámetros de la tabla A.1 obtenidos en el laboratorio por medio de los experimentos descritos en las referencias [ 33, 34 ] y sustituyéndolos en la ecuación de estado A.3., se obtiene la ecuación de estado correspondiente al modelado del motor de corriente directa con corriente de campo constante:

$$\begin{bmatrix} \dot{I}_A \\ \dot{\omega} \end{bmatrix} = \begin{bmatrix} -120.1 & -28.38 \\ 160.82 & -0.30 \end{bmatrix} \begin{bmatrix} I_A \\ \omega \end{bmatrix} + \begin{bmatrix} 49.02 & 0 \\ 0 & -277.77 \end{bmatrix} \begin{bmatrix} V_A \\ T_L \end{bmatrix} \quad (\text{A.4})$$

Para obtener la solución de la ecuación A.4 y ver el comportamiento en estado estacionario de la corriente de armadura  $I_A$  y la velocidad  $\omega$ , hay que considerar que la

derivada de la corriente de armadura  $\dot{i}_A$  y la derivada de la velocidad  $\dot{\omega}$  son iguales a cero, por lo tanto la ecuación algebraica lineal resultante quedaría:

$$\begin{bmatrix} 0 \\ 0 \end{bmatrix} = \begin{bmatrix} -120.1 & -28.38 \\ 160.82 & -0.30 \end{bmatrix} \begin{bmatrix} I_A \\ \dot{\omega} \end{bmatrix} + \begin{bmatrix} 49.02 & 0 \\ 0 & -277.77 \end{bmatrix} \begin{bmatrix} V_A \\ T_L \end{bmatrix} \quad (\text{A.5})$$

Sustituyendo los valores de  $V_A = 220$  v y  $T_L = 0$ , la ecuación A.5 queda de la manera siguiente:

$$\begin{bmatrix} -120.1 & -28.38 \\ 160.82 & -0.30 \end{bmatrix} \begin{bmatrix} I_A \\ \dot{\omega} \end{bmatrix} = \begin{bmatrix} -10784.4 \\ 0 \end{bmatrix} \quad (\text{A.6})$$

Resolviendo la ecuación A.6 por el método numérico de Gauss obtenemos que:

$I_A = 0.70$  amperes.

$\omega = 377$  rad. / seg.

Especificaciones	
Potencia : $P = 1.8\text{Kw}$	Voltaje de armadura: $V_A = 220$ V.
Voltaje de campo: $V_1 = 160$ V.	Corriente de armadura $I_A = 10\text{A}$ . (0.70 en vacío)
Corriente de campo: $I_1 = 0.68\text{A}$ .	Velocidad: $\omega = 377$ rad. /seg.
$T_L = 4.77$ N.m. (Par nominal)	
Parámetros	
Inductancia de armadura: $L_{AA} = 0.0204$ H.	Resistencia de armadura: $R_A = 2.45\Omega$ .
Inductancia de campo: $L_{11} = 17.25$ H.	Resistencia de campo: $R_1 = 228.2 \Omega$ .
Momento de inercia: $J = 0.0036$ Kg.-m <sup>2</sup>	Inductancia mutua : $L_{A1} = 0.8514$ H.
Coefficiente de fricción: $B = 0.00107$ Kg.-m <sup>2</sup> /seg.	Constante de inercia. $H = 142.119\text{E}-12$ seg.

Tabla A.1 Especificaciones y parámetros del motor de c.d.

Como el modelo es lineal, se puede emplear la técnica de la transformada de Laplace para encontrar la dinámica de este motor. Dicha técnica permite convertir las ecuaciones diferenciales en un conjunto de ecuaciones algebraicas en el dominio de la frecuencia.

Aplicando la Transformada de Laplace a la ecuación A.1. se tiene:

$$K I_A(s) = (B + s J) \mathbf{w}(s) + T_L(s) - J \mathbf{w}(0) \quad (\text{A.7})$$

donde  $I_A(s)$ ,  $T_L(s)$  y  $\mathbf{w}(s)$  son las Transformadas de Laplace de  $I_A$ ,  $T_L$  y  $\mathbf{w}$  respectivamente. Similarmente, la ecuación A.2. puede expresarse en Transformada de Laplace como:

$$V_A(s) = (R_A + s L_{AA}) I_A(s) + K \mathbf{w}(s) - L_{AA} I_A(0) \quad (\text{A.8})$$

Después de una manipulación algebraica ( que se puede ver con más detalle en la referencia [32]) y de considerar las condiciones iniciales a cero se pueden expresar en dos funciones de transferencia que relacionan la velocidad angular y el voltaje de armadura (ecuación A.9.) y la velocidad angular con el par de la carga (ecuación A.10) considerando la corriente de campo constante.

$$\frac{\dot{\omega}(s)}{V_A(s)} = \frac{K}{s^2(JL_{AA}) + s(R_A J + BL_{AA}) + (R_A B + K^2)} \quad (\text{A.9})$$

$$\frac{\dot{\omega}(s)}{T_L(s)} = \frac{-(R_A + sL_{AA})}{s^2(JL_{AA}) + s(R_A J + BL_{AA}) + (R_A B + K^2)} \quad (\text{A.10})$$

Las ecuaciones A.9. y A.10. se pueden representar a manera de diagrama de bloques como se muestra en la figura A.2.

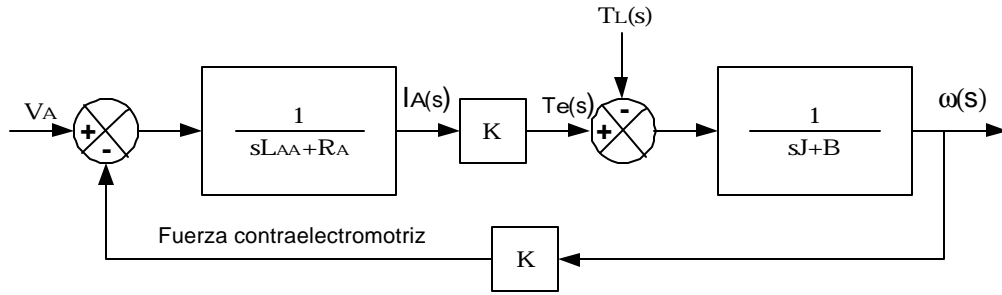


Figura A.2. Diagrama a bloques de un motor de c.d. con excitación separada utilizado para simulación.

El comportamiento de la corriente de armadura y la velocidad del motor de c.d. sin ninguna clase de control y, utilizando el arreglo de la figura A.2. se puede ver en la figura A.3. (a) y A.3. (b) respectivamente.

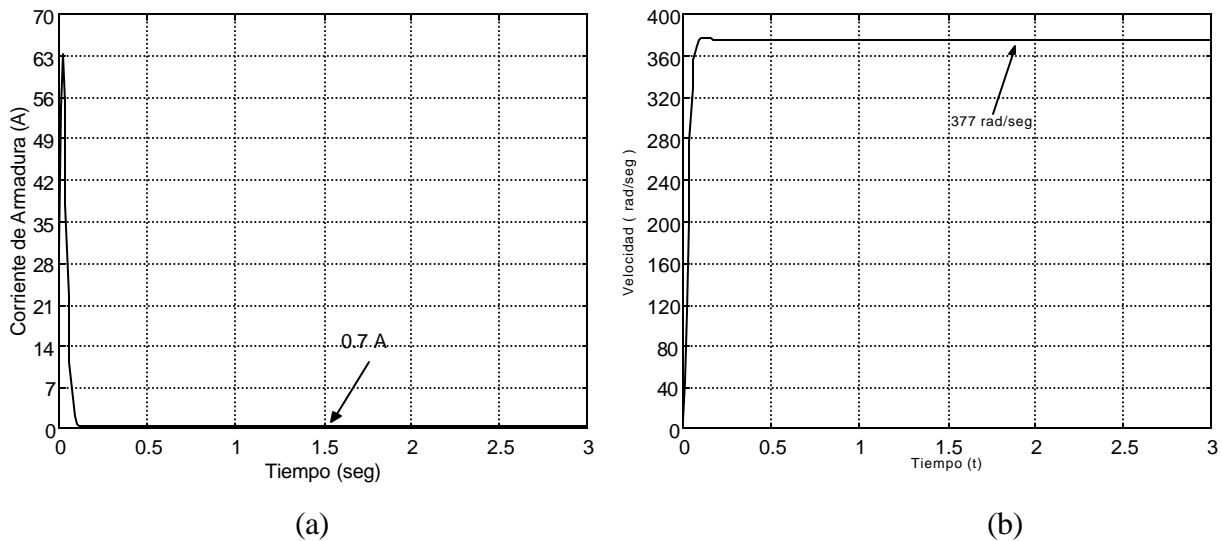


Figura A.3. Simulación del motor de corriente directa con el modelo lineal. (a) corriente de armadura. (b) Velocidad angular.

Como se puede observar en la figura A.3.(a), la corriente de armadura es muy elevada ( comparada con la  $I_A$  en estado permanente ) en el momento de arrancar el motor de c.d. Esto no permitiría un funcionamiento en condiciones normales del motor y, causaría un daño irreparable al IGBT ocupado en la etapa de potencia de la implementación. Para limitar este sobretiro en la corriente existen varias alternativas. Una de ellas es arrancar al motor por voltaje de armadura en forma paulatina (alimentación tipo rampa) A.4. y la otra es mediante un lazo de corriente A.5.

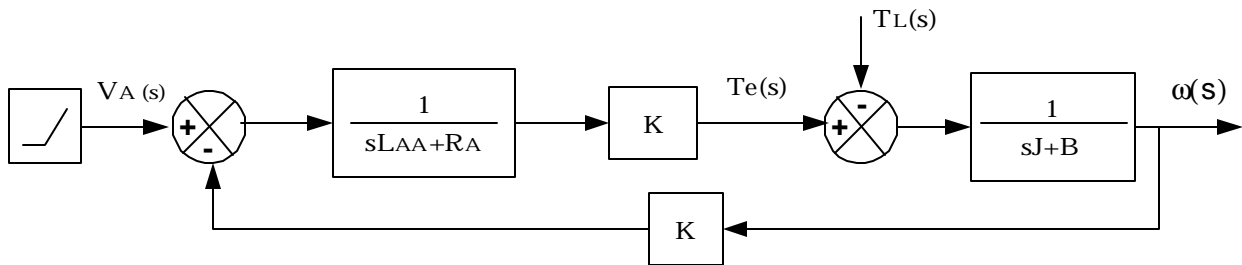


Figura A.4. Diagrama a bloques del motor de c.d. con excitación separada considerando la corriente de campo constante y alimentación tipo rampa.

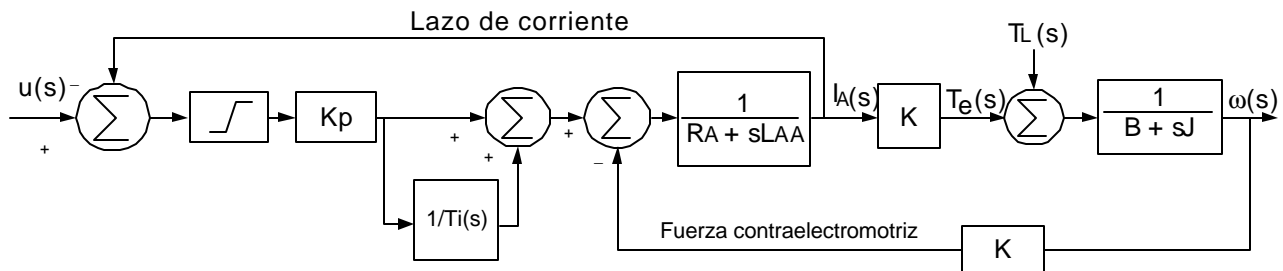


Figura A.5. Diagrama a bloques del motor de c.d. con excitación separada considerando la corriente de campo constante, con lazo de corriente y limitador de corriente.

Las respuestas en voltaje y corriente de armadura empleando los arreglos de la figura A4 y A5 se muestran en las figuras A6 y A7 respectivamente.

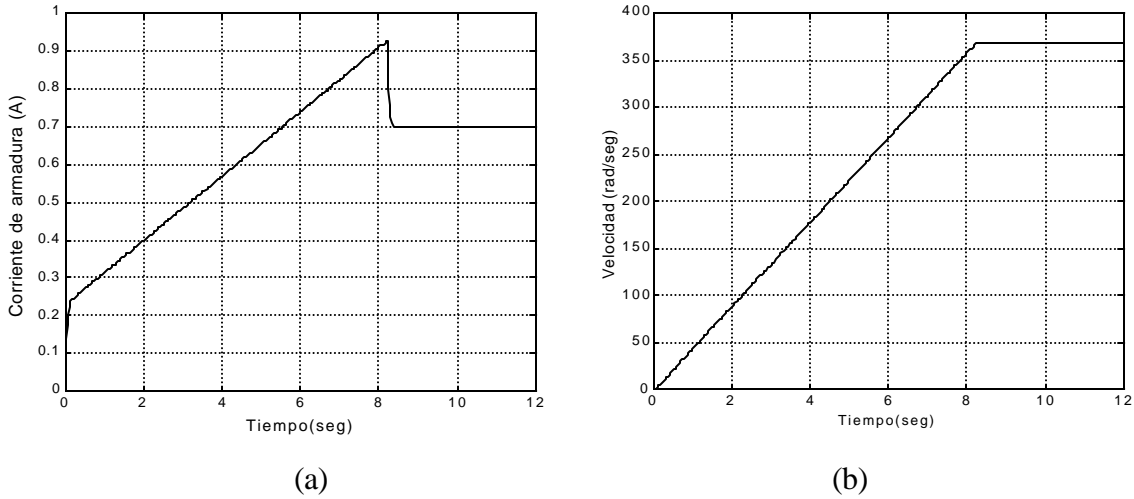


Figura A.6. Respuesta del motor de c.d. con alimentación tipo rampa. a) Velocidad angular. (b). Corriente de armadura.

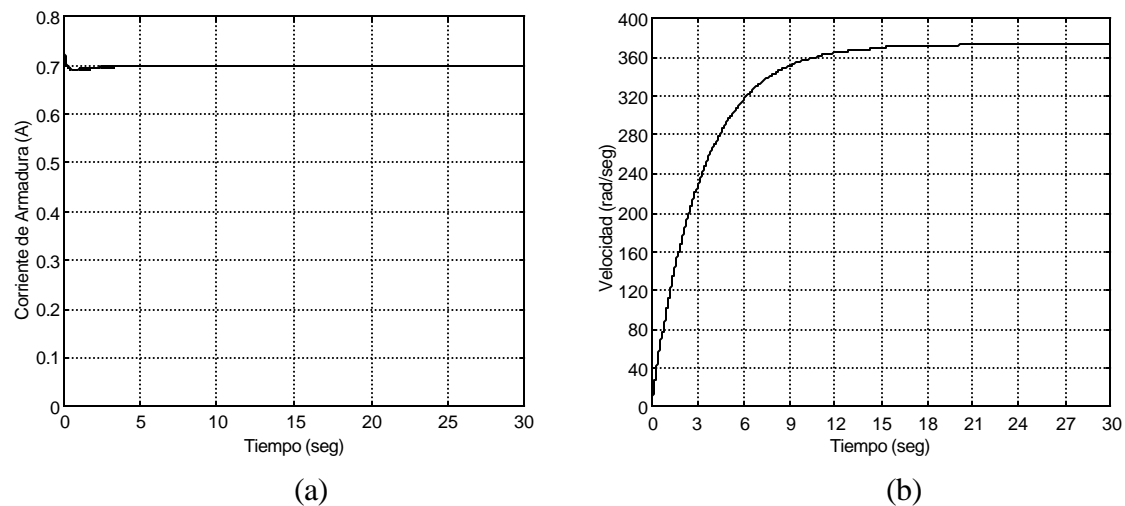


Figura A.7. Respuesta del motor de c.d. con lazo de corriente. (a) Velocidad angular. (b). Corriente de armadura.  $K_p = 10$ ,  $K_i = K_p / T_i = 9.2$

De las figuras A.6.(a) y A.7.(a), se puede ver que la mejor respuesta en corriente de armadura, se obtiene mediante la aplicación del lazo de corriente. Sin embargo cualquiera de los métodos mencionados, elimina el exceso de corriente que se tiene durante el arranque, pudiendo trabajar al motor y al IGBT en condiciones normales. Por tal motivo en el presente trabajo se empleó el arranque del motor mediante la alimentación del voltaje de armadura tipo rampa.

### A.3. Simulación del control de velocidad Tipo Takagi – Sugeno del motor de c.d – alternador con lazo de corriente.

En el apartado A.1. se mencionó que la mejor respuesta en corriente se tenía cuando se aplicaba el lazo de corriente, sin embargo como no existe ningún método de control de velocidad, la respuesta de esta variable es muy lenta comparada con la que se tiene cuando la alimentación de voltaje es de tipo rampa. En este apartado se presentan los resultados del control de velocidad tipo Takagi – Sugeno para el motor de c.d. – alternador empleando el lazo de corriente, con el motivo de que en algún trabajo a futuro se realce su implementación.

El diagrama a bloques del sistema de control del motor de c.d.- alternador con lazo de corriente se presenta a continuación:

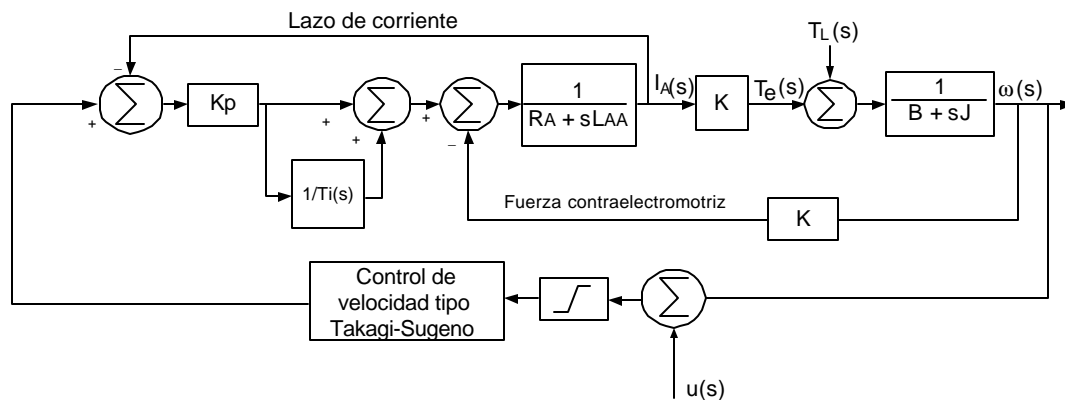


Figura A.8. Diagrama a bloques del control de velocidad tipo Takagi – Sugeno para el arreglo motor de c.d. - alternador, con lazo de corriente.

El diagrama a bloques de la figura A.8. tiene dos controles: El primero es un control proporcional-integral para el lazo de corriente y el segundo es un control difuso tipo Takagi – Sugeno para la velocidad. El primer control se sintonizó a prueba y error dando



como resultado las gráficas de la figura A.7. Mientras que el control de velocidad tipo Takagi – Sugeno se sintonizo con el método dado en la presente tesis.

Los resultados de las simulaciones del control de velocidad tipo Takagi – Sugeno para el arreglo motor de c.d. - alternador se muestran a continuación:

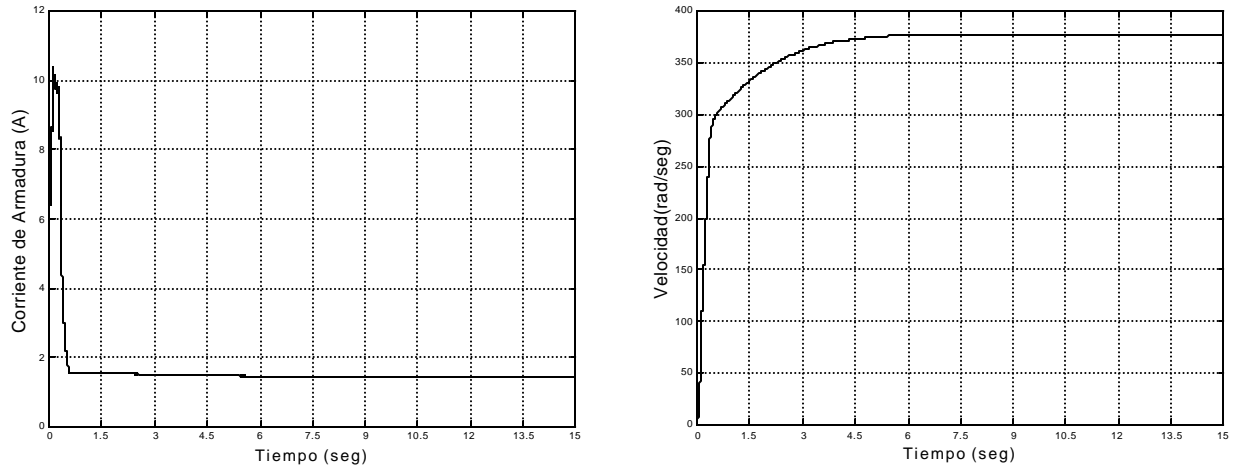


Figura A.9. Respuesta ante el control de la  $I_A$  y la  $\omega$  del motor de c.d.- alternador bajo las siguientes condiciones:  $K_p = 0.52$  ;  $K_i = 0.40$ ;  $K_{pb} = 1.75$ ;  $K_{ib} = 0.01$ ;  $K_{pa} = 1.9$ ;  $K_{ia} = 0.25$  ;  $T_L = 0$  N.m. y alimentación de  $V_A$  tipo escalón.

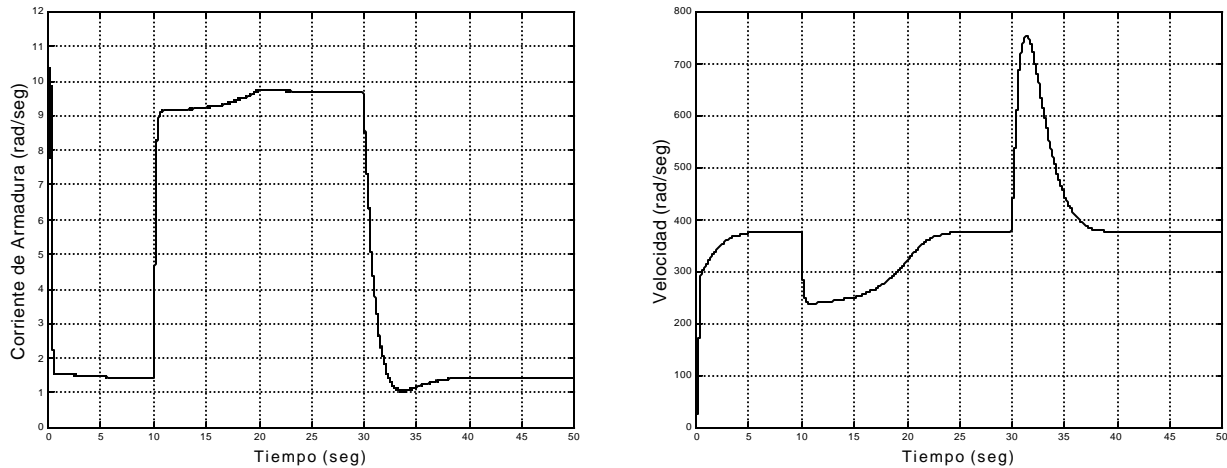


Figura A.10. Respuesta ante el control de la  $I_A$  y la  $\omega$  del motor de c.d.- alternador bajo las siguientes condiciones:  $K_p = 0.52$  ;  $K_i = 0.40$ ;  $K_{pb} = 1.75$ ;  $K_{ib} = 0.01$ ;  $K_{pa} = 1.9$ ;  $K_{ia} = 0.25$  ;  $T_L = 4.77$  N.m. y alimentación de  $V_A$  tipo escalón.

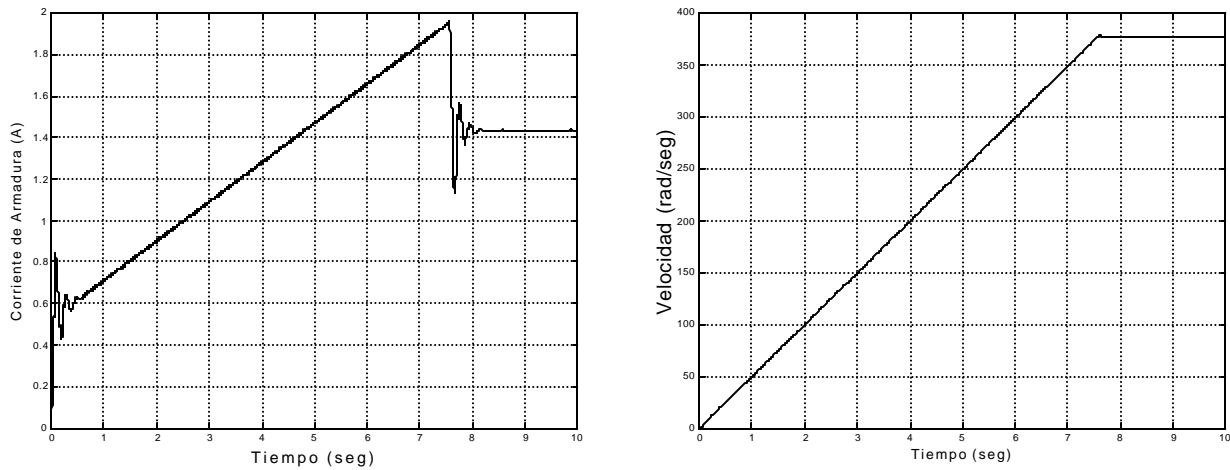


Figura A.11. Respuesta ante el control de la  $I_A$  y la  $\dot{\theta}$  del motor de c.d.- alternador bajo las siguientes condiciones:  $K_p = 0.52$  ;  $K_i = 0.40$ ;  $K_{pb} = 26.75$ ;  $K_{ib} = 15.53$ ;  $K_{pa} = 28$ ;  $K_{ia} = 0.93$  ;  $T_L = 0$  N.m. y alimentación de  $V_A$  tipo rampa.

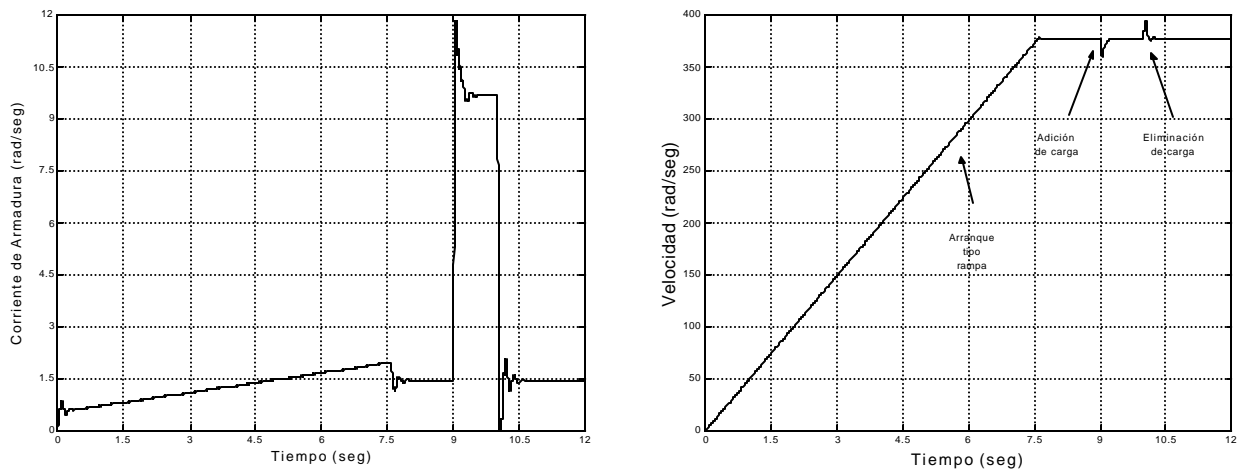


Figura A.12. Respuesta ante el control de la  $I_A$  y la  $\dot{\theta}$  del motor de c.d.- alternador bajo las siguientes condiciones:  $K_p = 0.52$  ;  $K_i = 0.40$ ;  $K_{pb} = 26.75$ ;  $K_{ib} = 15.53$ ;  $K_{pa} = 28$ ;  $K_{ia} = 0.93$  ;  $T_L = 4.77$  N.m. y alimentación de  $V_A$  tipo rampa.

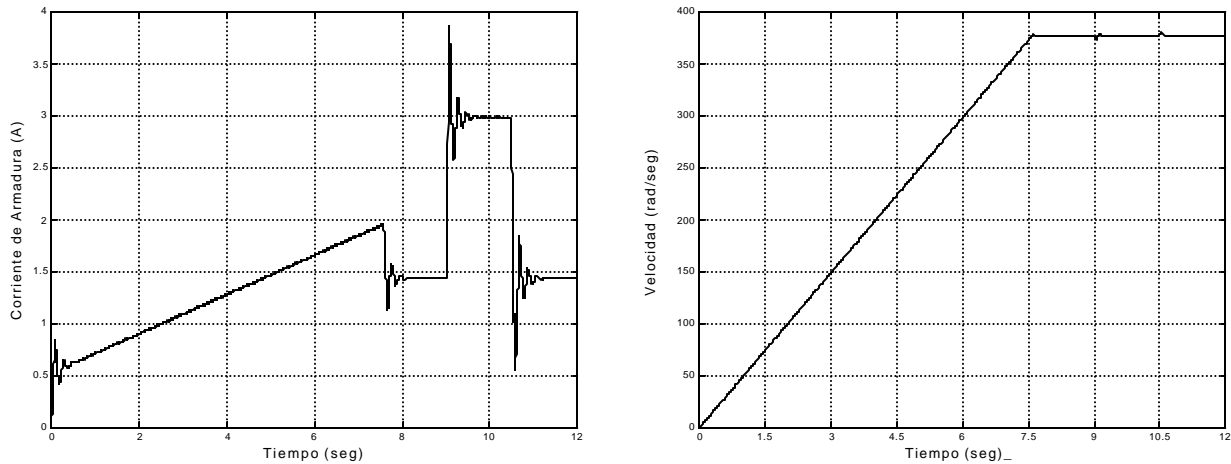


Figura A.13. Respuesta ante el control de la  $I_A$  y la  $\omega$  del motor de c.d.- alternador bajo las siguientes condiciones:  $K_p = 0.52$  ;  $K_i = 0.40$ ;  $K_{pb} = 26.75$ ;  $K_{ib} = 15.53$ ;  $K_{pa} = 28$ ;  $K_{ia} = 0.93$  ;  $T_L = 0.8$  N.m. y alimentación de  $V_A$  tipo rampa.

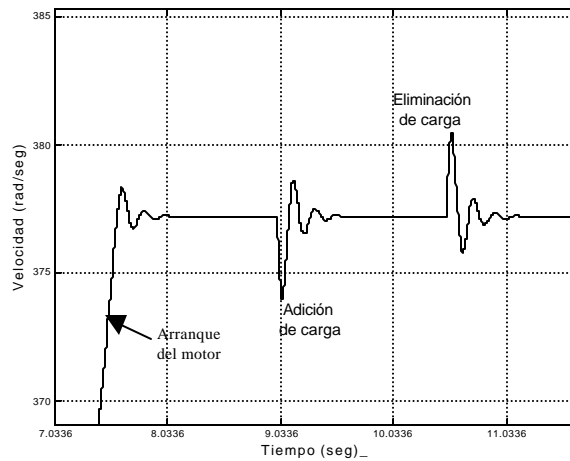


Figura A.14. Amplificación de la gráfica Velocidad vs. Tiempo de la figura A.13.

Los resultados de la figura A.9., podrían parecer a primera vista idóneos para el control de velocidad tipo Takagi – Sugeno con lazo de corriente, sin embargo al aplicarle y eliminarle carga se tienen valores inoperables ya que por una parte, la velocidad de 750 rad. / seg. dañaría al motor de c.d. y por otra las frecuencias de 39.8Hz. y 119.36Hz ( equivalentes a 250 rad./seg. 750 rad./seg. respectivamente ) que se tienen en el alternador no servirían para nuestros propósitos de mantener la frecuencia con  $60\text{Hz} \pm 1\text{Hz}$ .

Debido a lo anterior se alimentó al motor mediante un voltaje de armadura tipo rampa y se realizó una nueva sintonización dando como resultado las graficas presentadas en las figuras A.11. , A.12 , A 13 y A.14.


En la figura A.11. se observa que el valor de corriente mas alto en el arranque del motor de c.d.-alternador es de 1.95 A y su valor en estado estable es 1.43A. Ambos valores se encuentran dentro del valor nominal del motor ( ver tabla A.1.). El tiempo que tarda el motor de c.d. desde el reposo hasta su velocidad nominal es de 7.6 seg.

Los resultados que se obtuvieron en la figura A.12. son: corriente máxima al aplicar carga nominal 11.9A; corriente en estado estable con carga nominal 9.63A; velocidad mínima 360rad./seg. equivalente a 57.3 Hz.; velocidad máxima 394 rad. / seg. equivalente a 62.7 Hz. y por último el tiempo de estabilización una vez presentada la adición ó eliminación de carga es de 0.3 seg.

Los resultados de las figura A.13. – A.14. corresponden a la respuesta de corriente de armadura y velocidad cuando la carga conectada es de 300W tal y como la conectada en la implementación del control sin lazo de corriente. Los resultados son: corriente máxima al aplicar carga nominal 3.8A; corriente en estado estable con carga equivalente a 300w 3A; velocidad mínima 374 rad./seg. equivalente a 59.53 Hz.; velocidad máxima 381 rad. / seg. equivalente a 60.63 Hz.; y por último el tiempo de estabilización una vez presentada la adición de carga es de 0.3 seg. mientras que el tiempo de estabilización a la hora de la eliminación de carga es de 0.5 seg.

Comparando los resultados obtenidos aquí con los de la implementación ( figura 5.9 y 5.10 ), se puede ver una mejoría en el control de velocidad tipo Takagi – Sugeno con lazo de corriente, ya que los valores mínimos y máximos que se tienen en la velocidad al adicionar y eliminar la carga de 300 W son más cercanos a 60 Hz.

**B. HOJAS DE DATOS DE LOS ELEMENTOS EMPLEADOS EN LA ELABORACIÓN DE LA ETAPA DE POTENCIA DEL REGULADOR.**



August 1986  
Revised July 2001

## DM7404

### Hex Inverting Gates

#### General Description

This device contains six independent gates each of which performs the logic INVERT function.

#### Ordering Code:

Order Number	Package Number	Package Description
DM7404M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
DM7404N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

#### Connection Diagram

#### Function Table

$Y = \bar{A}$

Inputs	Output
A	Y
L	H
H	L

H = HIGH Logic Level  
L = LOW Logic Level

DM7404 Hex Inverting Gates

© 2001 Fairchild Semiconductor Corporation DS006494

www.fairchildsemi.com



**ELECTRONICS, INC.**  
**44 FARRAND STREET**  
**BLOOMFIELD, NJ 07003**  
**(973) 748-5089**

## NTE3095 Optoisolator

### Description:

The NTE3095 is a dual photocoupler optoisolator in an 8-Lead DIP type package consisting of a pair of Gallium Aluminum Arsenide light emitting diodes and integrated photodetectors. Separate connections for the photodiode bias and output transistor collectors improve the speed up to a hundred times that of a conventional phototransistor coupler by reducing the base-collector capacitance.

### Features:

- TTL Compatible
- High Switching Speed

### Absolute Maximum Ratings:

#### LED

Forward Current (Each Channel), $I_F$ .....	25mA
Derate above +70°C .....	0.8mA/°C
Pulse Forward Current (Each Channel, Note 1), $I_{FP}$ .....	50mA
Derate above +70°C .....	1.6mA/°C
Total Pulse Forward Current (Each Channel, Note 2), $I_{FPT}$ .....	1A
Reverse Voltage (Each Channel), $V_R$ .....	5V
Diode Power Dissipation (Each Channel), $P_D$ .....	45mW
Derate above +70°C .....	0.9mW/°C

#### DETECTOR

Output Current (Each Channel), $I_O$ .....	8mA
Peak Output Current (Each Channel), $I_{OP}$ .....	16mA
Supply Voltage, $V_{CC}$ .....	-0.5 to +15V
Output Voltage (Each Channel), $V_O$ .....	-0.5 to +15V
Output Power Dissipation (Each Channel), $P_O$ .....	35mW
Derate above +70°C .....	1mW/°C

#### COUPLED

Operating Temperature Range, $T_{opr}$ .....	-55° to +100°C
Storage Temperature Range, $T_{stg}$ .....	-55° to +125°C
Lead Temperature (During Soldering, 1.6mm below seating plane, 10s), $T_L$ .....	+260°C
Isolation Voltage (AC, 1min., R.H. ≤ 60%, Note 3), $V_{ISO}$ .....	2500V <sub>rms</sub>

Note 1. Pulse Width = 1ms, Duty Cycle = 50%

Note 2. Pulse Width = 1μs, 300pps.

Note 3. Device considered a two terminal device. Pins 1, 2, 3, and 4 shorted together and Pins 5, 6, 7, and 8 shorted together.

# International IR Rectifier

Data Sheet No. PD60147-Q

## IR2110/IR2113 (S)

### HIGH AND LOW SIDE DRIVER

#### Features

- Floating channel designed for bootstrap operation  
Fully operational to +500V or +600V  
Tolerant to negative transient voltage  
dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible  
Separate logic supply range from 3.3V to 20V  
Logic and power ground  $\pm 5V$  offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

#### Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

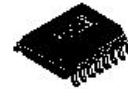
#### Product Summary

$V_{\text{OFFSET}}$ (IR2110)	500V max.
(IR2113)	600V max.
$I_{\text{O+/-}}$	2A / 2A
$V_{\text{OUT}}$	10 - 20V
$t_{\text{on/off}}$ (typ.)	120 & 94 ns
Delay Matching	10 ns

#### Packages

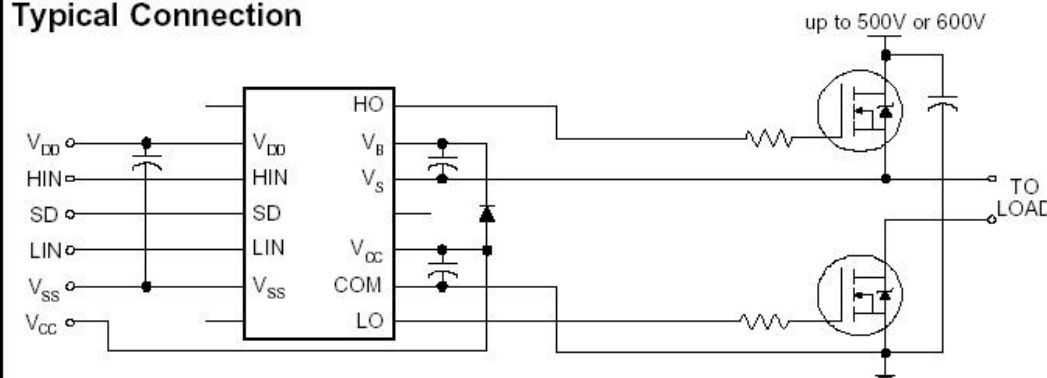


14-Lead PDIP  
IR2110/IR2113



16-Lead SOIC  
IR2110S/IR2113S

#### Typical Connection



(Refer to Lead Assignments for correct pin configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and DesignTips for proper circuit board layout.

# 1MBH60-100

富士IGBT

## IGBT

INSULATED GATE BIPOLAR TRANSISTOR

### ■特長：Features

- 高速スイッチング High Speed Switching
- 低飽和電圧 Low Saturation Voltage
- 高入力ゲート抵抗(MOSゲート構造) High Impedance Gate
- 小型パッケージ Small Package

### ■用途：Applications

- 電圧共振型電源 Voltage Resonance Power Supply
- 誘導加熱 Induction Heater

### ■定格と特性：Maximum Ratings and Characteristics

●絶対最大定格：Absolute Maximum Ratings( $T_c=25^\circ\text{C}$ )

Items	Symbols	Ratings	Units
コレクタ・エミッタ間電圧	$V_{CES}$	1000	V
ゲート・エミッタ間電圧	$V_{GES}$	$\pm 20$	V
コレクタ電流	$I_C$	60	A
	$I_{C(puls)}$ (50 $\mu\text{s}$ )	180	A
コレクタ損失	$P_C$	260	W
接合部温度	$T_J$	+150	$^\circ\text{C}$
保存温度	$T_{stg}$	-40 ~ +150	$^\circ\text{C}$

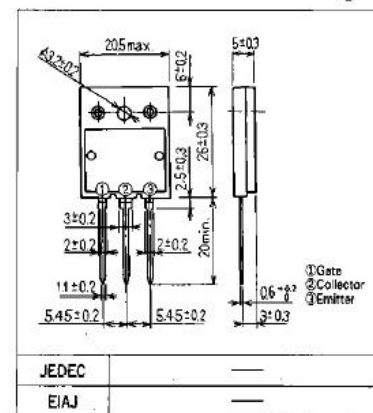
●電気的特性：Electrical Characteristics( $T_c=25^\circ\text{C}$ )

Items	Symbols	Test Conditions	Min.	Typ.	Max.	Units
コレクタしや断電流	$I_{CES}$	$V_{CE}=900\text{V}$ , $V_{GE}=0\text{V}$			100	$\mu\text{A}$
ゲート漏れ電流	$I_{GES}$	$V_{GS}=\pm 20\text{V}$ , $V_{CE}=0\text{V}$			100	nA
しきい値電圧	$V_{GE(th)}$	$I_C=10\text{mA}$ , $V_{CE}=10\text{V}$	2.0		6.0	V
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	$I_C=65\text{A}$ , $V_{GE}=15\text{V}$			3.2	V
入力容量	$C_{ies}$	$V_{CE}=25\text{V}$ , $V_{GE}=0\text{V}$ , $f=1\text{MHz}$		3000		pF
スイッチング特性	$t_r$	$V_{CC}=200\text{V}$ , $I_C=60\text{A}$ , $V_{GE}=+15\text{V}$ $R_C=8\Omega$ , $R_L=3.3\Omega$			0.85	$\mu\text{s}$

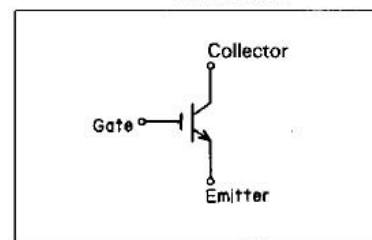
●熱的特性：Thermal Characteristics

Items	Symbols	Test Conditions	Min.	Typ.	Max.	Units
熱抵抗	$R_{th(j-c)}$	Junction to Case			0.481	$^\circ\text{C/W}$

### ■外形寸法：Outline Drawings



### ■等価回路：Equivalent Circuit Schematic





### C. DISTRIBUCIÓN DE CADA UNO DE LOS PINES DE LOS CONECTORES DE LA TARJETA DE EVALUACIÓN CON DSP

#### *I/O Connector (P1) Diagram*

V <sub>CC</sub>	● 1	2 ●	V <sub>CC</sub>
PWM1/CMP1	● 3	4 ●	PWM2/CMP2
PWM3/CMP3	● 5	6 ●	PWM4/CMP4
PWM5/CMP5	● 7	8 ●	PWM6/CMP6
PWM7/CMP7/IOPB0	● 9	10 ●	PWM8/CMP8/IOPB1
PWM9/CMP9/IOPB2	● 11	12 ●	T1PWM/T1CMP/IOPB3
T2PWM/T2CMP/IOPB4	● 13	14 ●	T3PWM/T3CMP/IOPB5
TMRDIR/IOPB6	● 15	16 ●	TMRCLK/IOPB7
GND	● 17	18 ●	GND
XF/IOPC2	● 19	20 ●	<u>BI</u> O/IOPC5
CAP1/QEP1/IOPC4	● 21	22 ●	CAP2/QEP2/IOPC5
CAP3/IOPC6	● 23	24 ●	CAP4/QEP4/IOPC6
Reserved	● 25	26 ●	<u>PDP</u> INT
SCITXD/IO	● 27	28 ●	SCIRXD/IO
SPISIMO/IO	● 29	30 ●	SPISOMI/IO
SPICLK/IO	● 31	32 ●	SPISTE/IO
GND	● 33	34 ●	GND

#### *Analog Connector (P2) Diagram*

V <sub>CCA</sub>	● 1	2 ●	V <sub>CCA</sub>
ADCIN0/IOPA0	● 3	4 ●	ADCIN1/IOPA1
ADCIN2	● 5	6 ●	ADCIN3
ADCIN4	● 7	8 ●	ADCIN5
ADCIN6	● 9	10 ●	ADCIN7
ADCIN8/IOPA3	● 11	12 ●	ADCIN9/IOPA2
ADCIN10	● 13	14 ●	ADCIN11
ADCIN12	● 15	16 ●	ADCIN13
G <sub>NDA</sub>	● 17	18 ●	G <sub>NDA</sub>
ADCIN14	● 19	20 ●	ADCIN15
V <sub>ref hi</sub>	● 21	22 ●	V <sub>ref lo</sub>
G <sub>NDA</sub>	● 23	24 ●	G <sub>NDA</sub>
DACOUT0	● 25	26 ●	DACOUT1
DACOUT2	● 27	28 ●	DACOUT3
Reserved	● 29	30 ●	Reserved
Reserved	● 31	32 ●	ADCSOC/IOPC0
G <sub>NDA</sub>	● 33	34 ●	G <sub>NDA</sub>

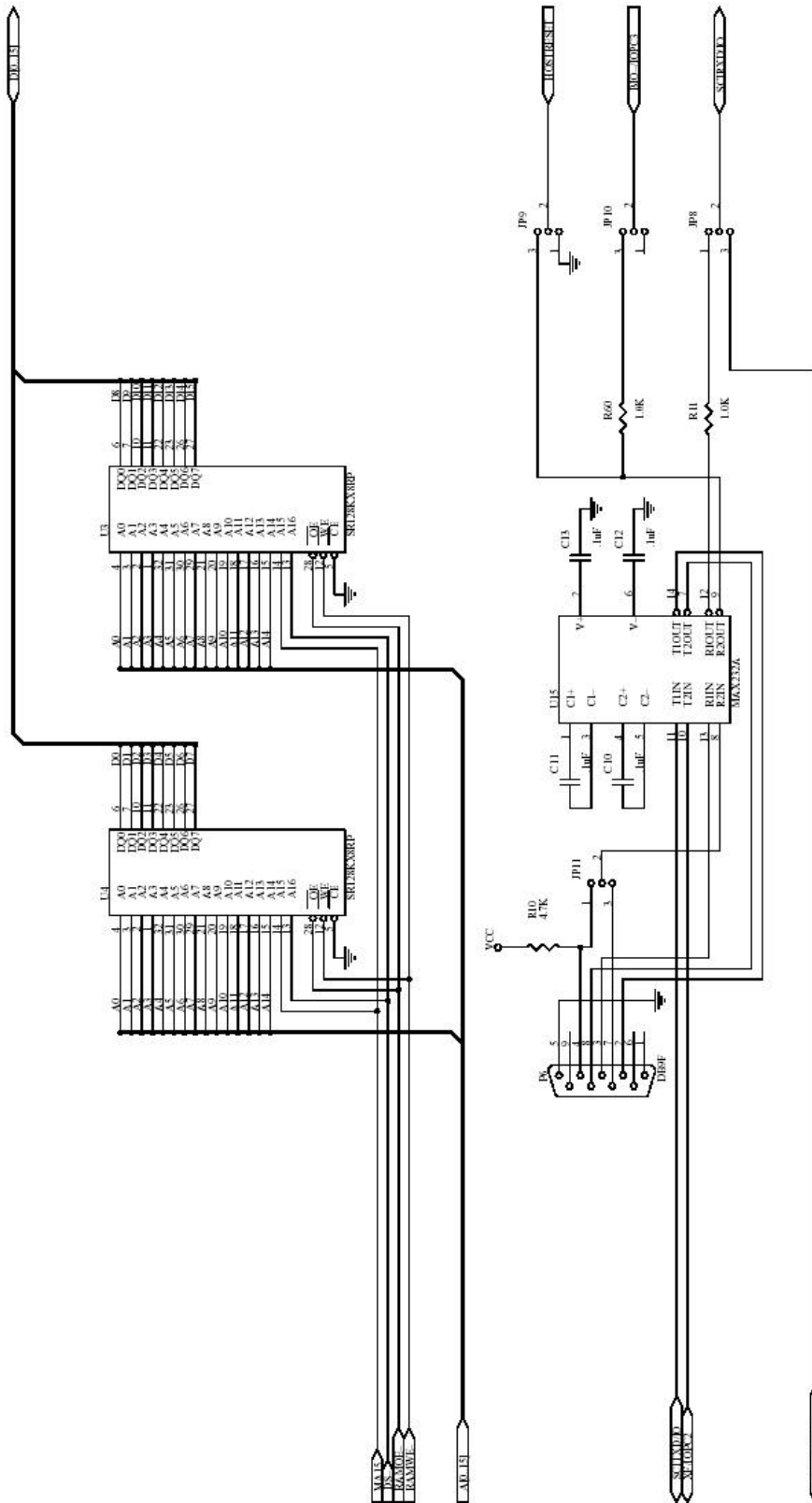
*Address/Data Connector (P3 Diagram)*

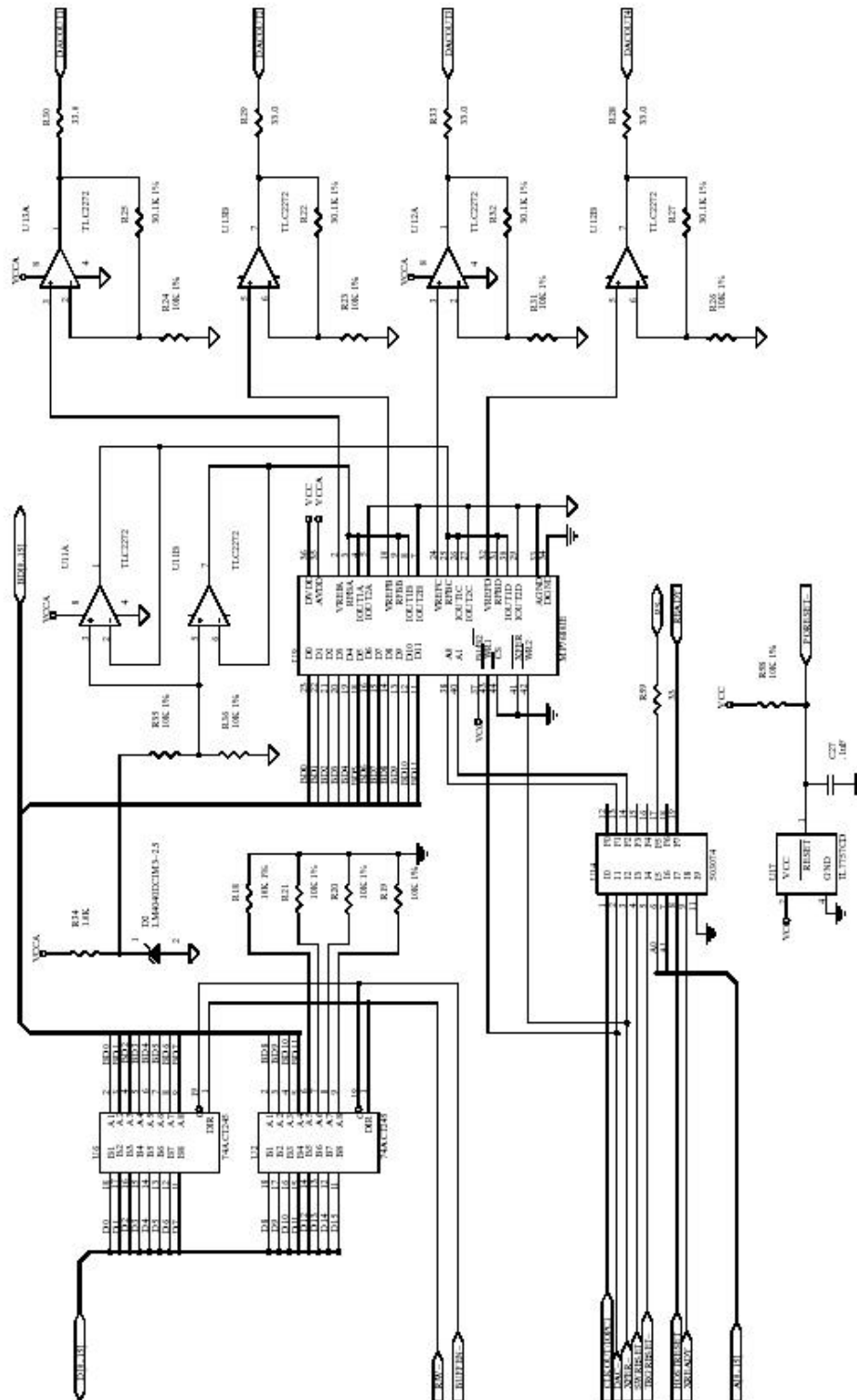
A0	● 1	2 ●	A1
A2	● 3	4 ●	A3
A4	● 5	6 ●	A5
A6	● 7	8 ●	A7
A8	● 9	10 ●	A9
A10	● 11	12 ●	A11
A12	● 13	14 ●	A13
A14	● 15	16 ●	A15
GND	● 17	18 ●	GND
D0	● 19	20 ●	D1
D2	● 21	22 ●	D3
D4	● 23	24 ●	D5
D6	● 25	26 ●	D7
D8	● 27	28 ●	D9
D10	● 29	30 ●	D11
D12	● 31	32 ●	D13
D14	● 33	34 ●	D15

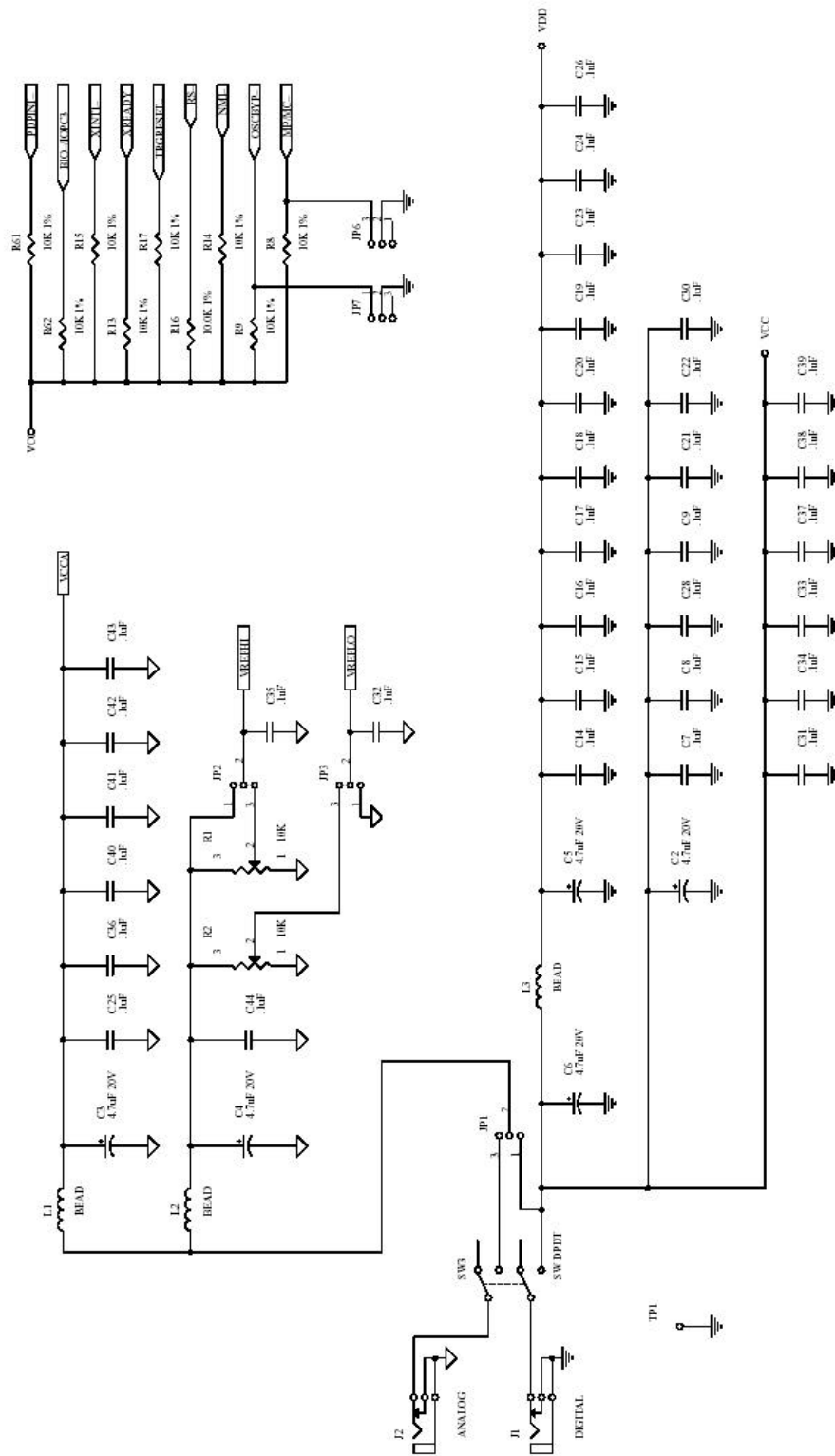
*Control Connector (P4) Diagram*

V <sub>CC</sub>	● 1	2 ●	V <sub>CC</sub>
$\overline{DS}$	● 3	4 ●	$\overline{PS}$
$\overline{IS}$	● 5	6 ●	$\overline{BR}$
$\overline{WE}$	● 7	8 ●	$\overline{W/R}$
$\overline{STRB}$	● 9	10 ●	$\overline{R/W}$
READY	● 11	12 ●	Reserved
$\overline{RS}$	● 13	14 ●	$\overline{TRGRESET}$
$\overline{NMI}$	● 15	16 ●	XINT1
GND	● 17	18 ●	GND
XINT2/IO	● 19	20 ●	XINT3/IO
Reserved	● 21	22 ●	Reserved
Reserved	● 23	24 ●	Reserved
Reserved	● 25	26 ●	Reserved
Reserved	● 27	28 ●	Reserved
Reserved	● 29	30 ●	Reserved
CLKIN	● 31	32 ●	CLKOUT/IOPC1
GND	● 33	34 ●	GND



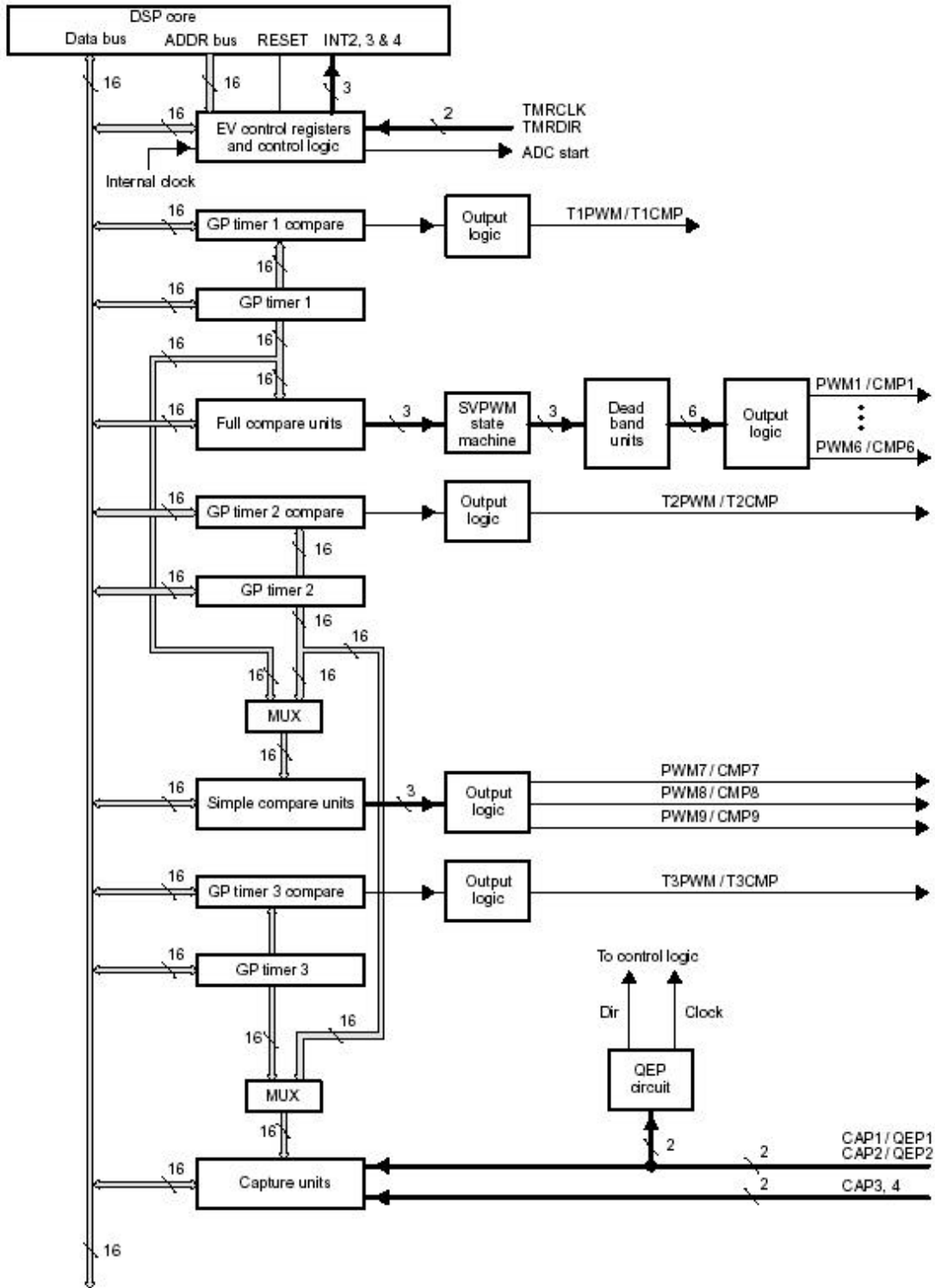




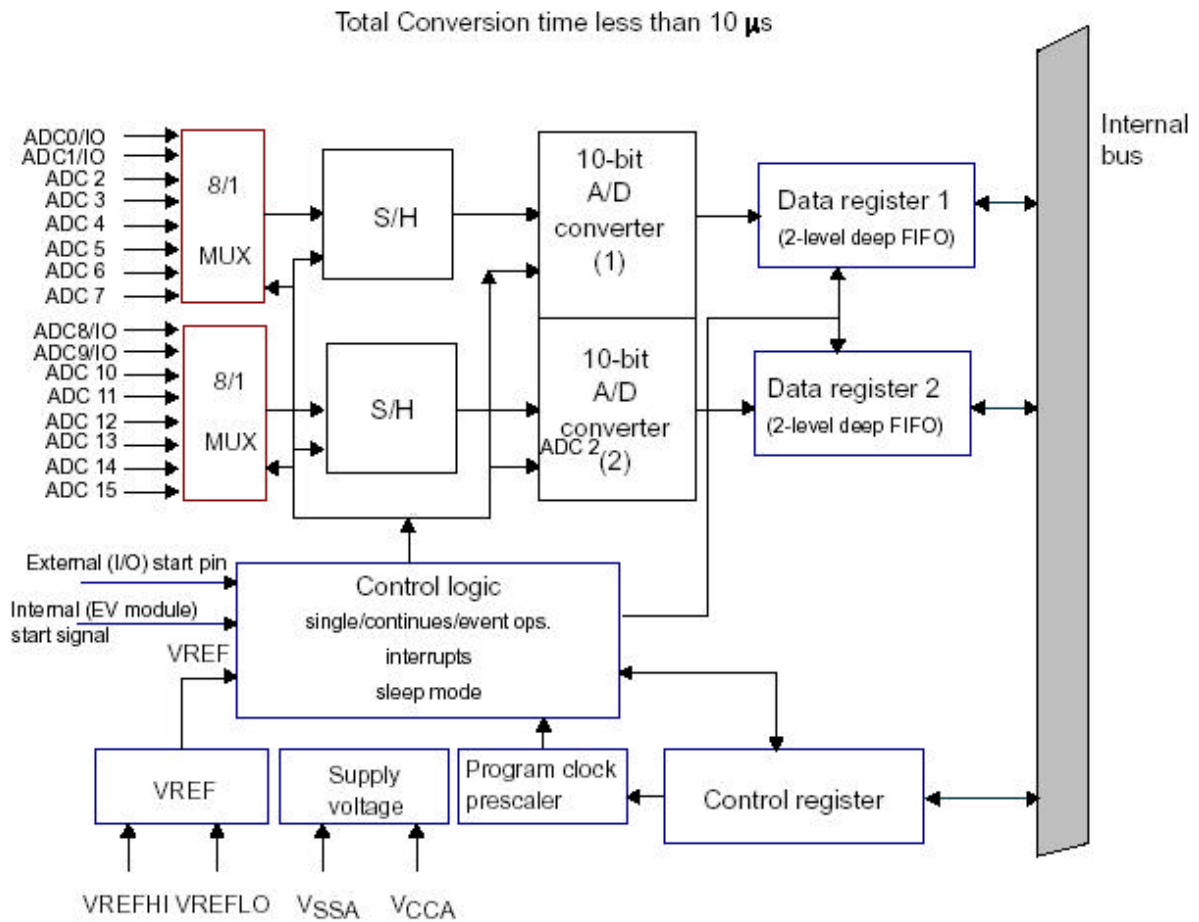


**E. DIAGRAMA GENERAL A BLOQUES DEL MANEJADOR DE EVENTOS, DEL CONVERTIDOR A/D Y DEL SCI.**

**E.1. Diagrama a bloques del manejador de eventos.**

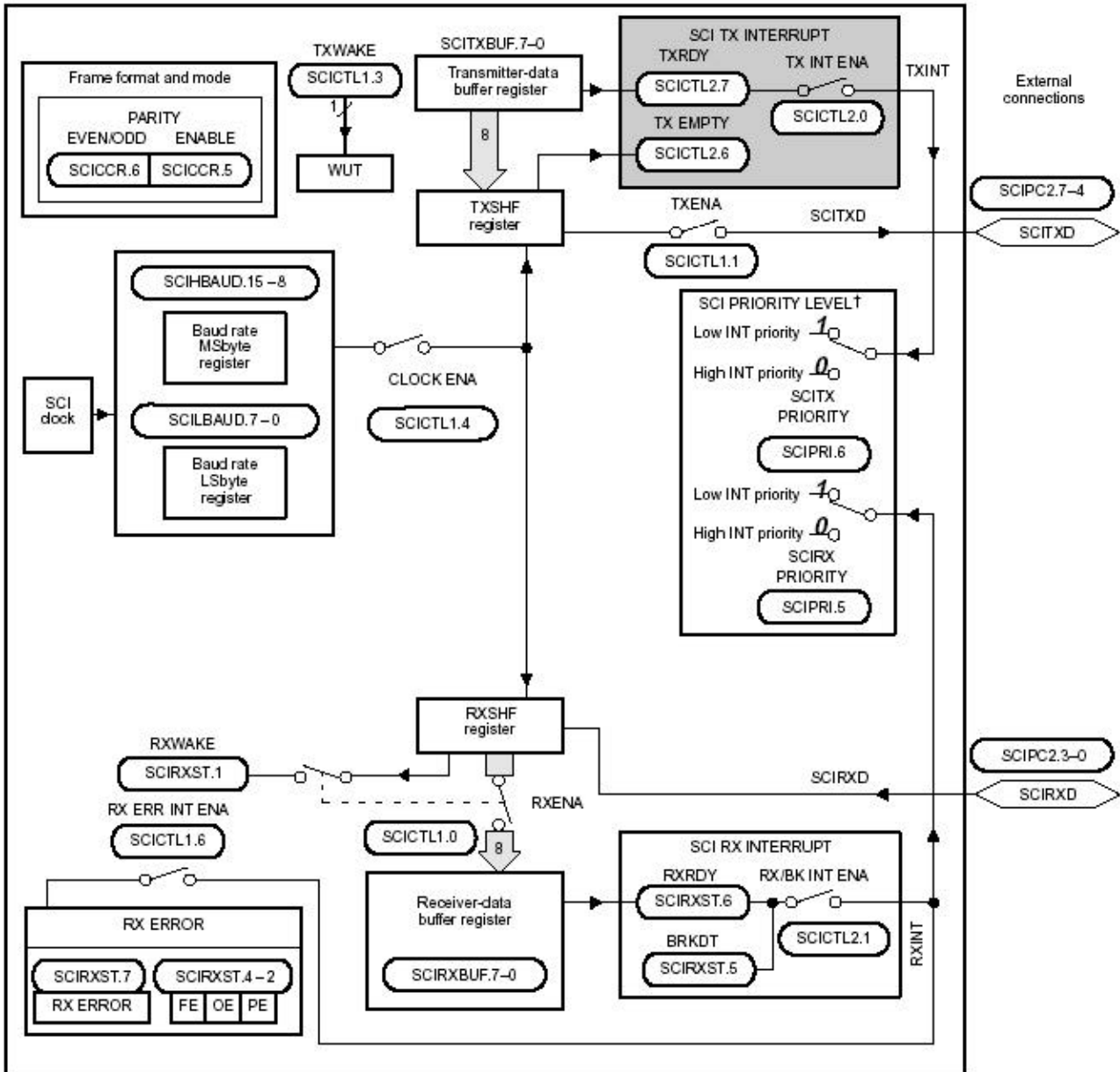


## E.2. Diagrama a bloques del convertidor A/D.





E.3. Diagrama a bloques del SCI.



## F. PROGRAMA PRINCIPAL Y ARCHIVOS AUXILIARES.

### F.1. Programa Principal ( Sug\_freq.asm).

```

*****
,
        LISTADO DEL PROGRAMA EN LENGUAJE ENSAMBLADOR
*
*       Nombre del Archivo: Sug_freq.asm
*
*       Elaborado por: Javier Herrera E.
*
*       Función: Este algoritmo implementa un control de frecuencia
*               tipo Takagi-Sugeno en un DSP TMS320F240 de Texas
*               Instruments
*****

.include "f240regs.h"      ; Archivo de registros mapeados en memoria del TMS320F240
.include "mcr_sug.h"      ; Archivo de programas " MACROS "

*-----
*
*       Declaración de variables para el bloque de memoria en RAM
*-----

.bss    ERROR,1           ; Variable usada para el error
.bss    ABS_ERROR,1      ; Variable usada para el absoluto del error
.bss    ERROR_ANT,1     ; Variable usada para el error anterior
.bss    ABS_ERROR_ANT,1 ; Variable usada para el absoluto del error
.bss    u_membresia,2    ; Valores difusos del ERROR (BAJO-ALTO)
.bss    u_bajo,1        ; (valor bajo actual : valor bajo anterior)
.bss    u_alto,1        ; (valor alto actual : valor alto anterior)
.bss    out_real,1      ; Salida real del control Difuso de Sugeno(Q5/Q0)
.bss    prod_previo,2   ; Variable utilizada para producto previo
.bss    GPR0,1          ; Variable de propósito general
.bss    VAL_MEM,1       ; Variable de propósito general
.bss    FACTOR,1        ; Variable usada para el valor max. de membresia
.bss    DIVISOR,1       ; Variable usada como divisor
.bss    ab,1            ; Var. a de la parte baja = 2.21875" formato Q5 "(1=31h)
.bss    bb,1            ; Var. b de la parte baja = 2 " formato Q5 "(2=32h)
.bss    aa,1            ; Var. a de la parte alta = 3.25" formato Q5 "(3=33h)
.bss    ba,1            ; Var. b de la parte alta = 3 " formato Q5 "(4=34h)
.bss    PRODUCTO,1     ; Var. aux, del producto de out_real
.bss    FACTOR_PWM,1   ; Variable que controla el ancho de pulso
.bss    ap_tabla,1     ; Variable ocupada como apuntador de tabla
.bss    INC_DEC,1      ; Var. usada como inc. o dec. para lectura de tabla
.bss    BANDERA1,1     ; Bandera p/activar el tiempo de muestreo en el arranque del motor
.bss    BANDERA2,1     ; Bandera para activar el tiempo ed muestreo para el control
.bss    TEMP,1         ; Var. ocupada para almacenar el valor digital proveniente del ADCFIFO
.bss    CONT,1         ; Var. ocupada como contador (sirve para programar el tiempo de muestreo

```

; Variables ocupadas para hacer la conversión de hexadecimal a decimal

```
.bss    DEC_MILLAR,1    ;
.bss    MILLAR,1      ;
.bss    CENTENA,1     ;
.bss    DECENA,1      ;
.bss    UNIDAD,1      ;
.bss    NULO,1        ;
.bss    DIVIDENDO,1   ;
.bss    COCIENTE,1    ;
```

```
-----
;
;                               Declaración de constantes
;
-----
```

```
DP_PF1    .set    224        ; Apunta a la 1st Pagina de datos de registro periférico
DP_PF2    .set    225        ; Apunta a la 2nd Pagina de datos de registro periférico
DP_EV     .set    232        ; Apunta a la Pagina del Manejador de Eventos
resultado .set    UNIDAD     ; Constante utilizada en la conversión hexadecimal a decimal
```

```
*-----
*                               Definición de vectores de interrupción
*-----
```

```
        .sect ".vectors"
RSVECT   B       INI_PROG    ; Inicio ó Reinicio del programa principal
INT1     B       PHANTOM     ; Nivel de interrupción 1 asignado al SCI
INT2     B       ADC         ; Nivel de interrupción 2
INT3     B       PHANTOM     ; Nivel de interrupción 3
INT4     B       PHANTOM     ; Nivel de interrupción 4
INT5     B       PHANTOM     ; Nivel de interrupción 5
INT6     B       PHANTOM     ; Nivel de interrupción 6
RESERVED B       PHANTOM     ; Reservado
SW_INT8  B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT9  B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT10 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT11 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT12 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT13 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT14 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT15 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT16 B       PHANTOM     ; Interrupción por software definido por el usuario
TRAP     B       PHANTOM     ; Vector Trampa
NMINT    B       PHANTOM     ; Interrupción no mascarable
EMU_TRAP B       PHANTOM     ; Emulator Trap
SW_INT20 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT21 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT22 B       PHANTOM     ; Interrupción por software definido por el usuario
SW_INT23 B       PHANTOM     ; Interrupción por software definido por el usuario
```

```

*-----
*
*                               Inicio del programa principal
*-----
        .text
        NOP
;      BAJO ALTO                ; Etiquetas de las funciones de membresía
BAJO   .word  0000h,0040h,00C0h ; Funciones de membresía

INI_PROG:
        SETC   INTM                ; Inhabilita interrupciones
        CLRC   OVM                  ; Resetea modo sobrefujo
        CLRC   SXM                  ; Resetea modo extensión de signo
        CLRC   CNF                  ; Configura el bloque B0 para memoria de datos

;                               Preparación de registros generales del TMS320F240

        LDP    #DP_PF1              ; DP-->7000h-707fh.
        SPLK   #00BBh,CKCR1         ; CLKIN(OSC)=10MHz,CPUCLK=20MHz
        SPLK   #00C3h,CKCR0         ; CLKMD=PLL habilita,SYSCLK=CPUCLK/2
        SPLK   #040C0h,SYSCR        ; CLKOUT=CPUCLK
        SPLK   #06Fh, WDCR          ; Inhabilita Watchdog Timer
        KICK_DOG                ; Resetea el Watchdog

;                               Limpieza de los bloques de memoria RAM

        LDP    #ERROR              ; DP-->300h-400h
        CLRBLQ0                ; Limpia el Bloque 0
        CLRBLQ1                ; Limpia el Bloque 1
        CLRBLQ2                ; Limpia el Bloque 2

;                               Inicialización de las variables del control en formato Q5

        SPLK   #0047h,ab          ; 47 Kib+Kpb  Var. a de la parte baja = 2.21875
        SPLK   #0040h,bb          ; 40 Kpb    Var. b de la parte baja = 2
        SPLK   #0068h,aa          ; 68 Kia+Kpa Var. a de la parte alta = 3.25
        SPLK   #0060h,ba          ; 60 Kpa    Var. b de la parte alta = 3

;                               Variable que controla el retardo de tiempo 500 (50 mseg.)

        SPLK   #4h,GPR0           ; GPR0=4H
        OUT    GPR0,WSGR          ; Coloca XMIF w/no estados de espera

;                               Preparación de los registros para los manejadores de interrupción del SCI
SCI_INIT:
        LDP    #DP_PF1              ; DP-->7000h-707fh.
        SPLK   #0037h, SCICCR      ; 1 bit de paro,paridad impar,8 bits de
                                   ; datos,modo asíncrono

        SPLK   #0013h, SCICTL1     ; Habilita TX, RX, interno SCICLK,
                                   ; Deshabilita RX ERR, SLEEP, TXWAKE
        SPLK   #0002h, SCICTL2     ; Habilita RX INT,deshabilita TX INT
        SPLK   #0000h, SCIHBAUD    ;
        SPLK   #0040h, SCILBAUD    ; Rango Baud =19200 b/s (10 MHz SYSCLK)
        SPLK   #0022h, SCIPC2      ; Habilita TXD & RXD pins
        SPLK   #0032h, SCICTL1     ; Abandona el SCI desde reset.

```

```

;                               Activación del pin para la salida de la señal PWM

LDP  #DP_PF2      ; DP-->Página 7080h-70ffh
SPLK #0801h,OCRA ; Activa la salida T1PWM/T1CMP

;                               Preparación de los registros para la generación del PWM

EV_PWM:
t1period.SET 999

;                               Periodo de la señal PWM (frecuencia 20Khz)

LDP  #DP_EV      ; DP-->7400h-747fh.
SPLK #2141h,GPTCON ; T1 asc. con arranque del ADC por periodo
SPLK #t1period,T1PR ; Periodo de la señal PWM
SPLK #0000h,T1CNT  ; Inicialización del contador de tiempo 1
SPLK #0000h,T1CMPR ; Se limpia la variable que modula la señal PWM
SPLK #100Ah,T1CON  ; Hab. la comp. y el modo de conteo asc. continuo
SPLK #0FFFFh,EVIFRA ; Limpia las banderas de interrupción del registro A
SPLK #080h,EVIMRA  ; Habilita las interrupciones por periodo
SBIT1 T1CON,B6_MSK ; Habilita la op. del reloj de conteo asc. (T1CNT)

LDP  #0          ; Coloca el DP en la página, 0000-7f.
LACC IFR         ; Carga el ACC con las banderas de interrupción
SACL IFR         ; Limpia todas las banderas de int. pendientes
SPLK #0002h,IMR  ; Habilita el nivel de interrupción INT2
CLRC INTM       ; Habilita interrupciones

;                               Inicialización del convertidor analógico digital

LDP  #DP_PF1      ; DP-->7000h-707fh.
SPLK #8D00h,ADCTRL1 ; Hab. el canal 0 del ADC para conv. continua
SPLK #0404h,ADCTRL2 ; Hab. la conv. por el EV. Vel. conv. 7.2 ì seg.

;                               Arranque del motor
ARRANQUE:
lect_adc LDP #ERROR
LACC BANDERA1 ; ¿Se tiene la muestra de la velocidad del motor?
BCND lect_adc,EQ ; No, espera
SPLK #0,BANDERA ; Si, limpia bandera

LDP  #ERROR      ; DP-->300h-400h
LACC FACTOR_PWM  ; Variable que controla el ancho del pulso
ADD  #1h
SACL FACTOR_PWM  ; FACTOR_PWM = FACTOR_PWM + 1
LDP  #DP_EV      ; DP--> 7400-747f
SACL T1CMPR      ; T1CMPR = FACTOR_PWM. Registro
;que controla el ancho de pulso

```

```

OBT_ABS_ERROR      ; Macro que permite obtener el absoluto de l error
CALL PANTALLA      ; Rutina para transmitir datos a pantalla
LDP #ERROR         ; DP-->300h-400h
LACC FACTOR_PWM
SUB #0300h         ; ¿ FACTOR_PWM < 300h?.R = Si brinca a
                  ; " INICIO_temp "
BCND ARRANQUE,LT  ; en caso contrario continua
;
Control de frecuencia ocupando el algoritmo de Takagi - Sugeno

```

INI\_CONTROL:

```

LDP #ERROR
LACC BANDERA2      ; ¿Se tiene la muestra de la velocidad del motor?
BCND INI_CONTROL,EQ ; No, espera
SPLK #0,BANDERA2   ; Si, limpia bandera
OBT_ABS_ERROR      ; y obten el absoluto del error
CALL MEMBERSHIP    ; Rutina para obt. el grado de mem. BAJO-ALTO
                  ; ( Difusificación )
CALL IMPLICACIONES_SUGENO ; Rutina para obtener u_bajo y u_alto
CALL SALIDA_REAL   ; Rutina para obt. realizará el PWM
CALL PWM_OUT       ; Rutina para modular el ancho de pulso (PWM)
CALL PANTALLA      ; Rutina para transmitir datos a pantalla
B INI_CONTROL

```

```

*-----*
*                               Fin del Programa Principal
*-----*

```

```

*****
*****
*                               Bloques de Rutinas
*****
*****
*-----*

```

```

*                               Rutina MEMBERSHIP
*                               ( Primera etapa del control de frecuencia tipo Takagi-Sugeno )
*
* DESCRIPCIÓN: En esta rutina se pasan el valores reales (ERROR) a valores difusos.
*               Este procedimiento es conocido como fusificación.
*-----*

```

MEMBERSHIP:

```

SPLK #01h,INC_DEC ; Constante utilizada para incrementar el apuntador de
tabla
SPLK #BAJO,ap_tabla ; El apuntador de tabla se encuentra en BAJO
SPLK #00FFh,FACTOR ; FFh (valor máximo de membresía en F-Q8) = 1d
LAR AR1,#ERROR+1 ; Carga AR1 con la dirección del ABS_ERROR
LAR AR3,#ap_tabla ; Carga AR3 con la dirección del apuntador de tabla
LAR AR5,#u_membresia ; Carga AR5 con la dirección del valor de mem.
LAR AR6,#VAL_MEM ; Carga AR6 con la dirección del VAL_MEM

INC_T ; Incrementa apuntador de tabla
LACC *,AR1 ; VAL_MEM (carga el Xo)
SUB *,AR5 ; Subtrae ABS(ERROR)
BCND value1,GEQ ; Si X<=Xo

```

sigue

```

INC_T          ; Incrementa apuntador de tabla
LACC *,AR1     ; VAL_MEM (carga X1)
SUB *,AR5      ; Subtrae ABS(ERROR)
BCND f_interm,GT ; Si X<X1

```

; El ERROR sólo toca la segunda función de membresía (etiquetada con alto)

```

LACC #0000h
SACL *+          ; BAJO = 0
LACC FACTOR      ; FFh (valor máximo de membresía en F-Q8) = 1dec.
SACL *           ; ALTO = $0FF
B dif_end

```

; El ERROR toca ambas funciones de membresía (alto-bajo)

```

f_interm      SPLK #080h,DIVISOR ; Valor de la separación de las funciones de mem.

BAJADAS      DIVISOR ; Rutina para calcular valores de pendiente negativa
SUBIDAS      DIVISOR ; Rutina para calcular valores de pendiente positiva

B dif_end

```

; El ERROR sólo toca la primera función de membresía (etiquetada con bajo)

```

value1      LACC FACTOR          ; FFh (valor máximo de membresía en F-Q8) = 1d
            SACL *+             ; BAJO=$0FF
            LACC #0000h
            SACL *              ; ALTO = 0
dif_end      RET

```

```

*-----
*                               Rutina IMPLICACIONES_SUGENO
*                               ( Segunda etapa del control de frecuencia tipo Takagi-Sugeno )
*
* DESCRIPCIÓN: Esta rutina se encarga de evaluar las ecuaciones de diferencia en las regiones
*               BAJO y ALTO. Dichas ecuaciones son:
*
*               u_(bajo) actual = (ab)*(e(k)) - (bb)*(e(k-1))
*               u_(alto) actual = (aa)*(e(k)) - (ba)*(e(k-1))
*-----

```

IMPLICACIONES\_SUGENO:

```

LDP #ERROR
LAR AR0,#1 ; Carga AR0 con uno
LAR AR2,#u_bajo ; Carga AR2 con la dirección de #u_bajo
LAR AR3,#ab ; Carga AR3 con la dirección de #ab
LAR AR4,#1 ; Carga AR4 con uno
LAR AR5,#prod_previo ; Carga AR5 con la dirección del #prod_previo

```

```

;                               Cálculo de u_bajo y u_alto

alto          LAR   AR1,#ERROR
              MAR   *,AR1

e_e_ant       BIT   *+,0,AR3           ; Checa el edo del LSB del (ERROR/ERROR_ANT)
              BCND  val_neg,TC         ; Brinca si TC=1, el (ERROR/ERROR_ANT) es (-)
              LT    *+,AR1
              MPYU  *+,AR5           ; Multiplica (a)x por ABS(e(k))
              PAC   ; ACC = PREG
              SACL  *+,AR4           ; Prod_previo = (a)x por ABS(e(k/k-1))
              BANZ  e_e_ant,AR1      ; Regresa apuntando a e(k-1)

              B     sum_res

val_neg       LT    *+,AR1
              MPYU  *+,AR5           ; Multiplica (a)x por ABS(e(k))
              PAC   ; ACC = PREG
              NEG   ;
              SACL  *+,AR4           ; Prod_previo = NEG[(a)x por ABS((e(k/k-1)))]
              BANZ  e_e_ant,AR1      ; Regresa apuntando a e(k-1)

sum_res       LAR   AR5,#prod_previo
              MAR   *,AR5
              LACC  *+
              SUB   *,AR2           ; u_(bajo/alto) actual =
              SACL  *+,AR0           ; (a)x por (e(k)) - (b)x por (e(k-1))
              LAR   AR4,#1
              LAR   AR5,#prod_previo
              BANZ  alto             ; Regresa para calcular u_alto actual
              RET   ; Fin de la implicación

```

```

*-----
*                               Rutina SALIDA_REAL
*                               ( Última etapa del control de frecuencia tipo Takagi-Sugeno )
*
* DESCRIPCIÓN: Esta rutina se encarga de obtener el valor real que nos servirá para la
*               modulación del ancho del pulso. La obtención de la salida real se hace
*               mediante la siguiente ecuación:
*
*               out_real=((u_bajo*u(error_bajo))+u_alto*u(error_alto))/u(error_alto)+u(error_bajo)
*-----

```

SALIDA\_REAL:

```

              SPLK  #0FFh,DIVISOR      ; u(error_alto)+u(error_bajo)
              LAR   AR0,#u_membresia
              LAR   AR1,#u_bajo
              LAR   AR2,#prod_previo
              LAR   AR3,#1

uno_mas       MAR   *,AR0
              LT    *+,AR1
              MPYU  *+,AR2           ; Multiplica u_(bajo/alto) por u (error_(alto/bajo))
              PAC   ;

```



```

DIVIDE DIVISOR          ; Realiza la división
SACL  *,AR3             ;
BANZ  uno_mas,AR1
LAR   AR2,#prod_previo
MAR   *,AR2
LACC  *+
ADD   *
SACL  out_real          ; out_real=((u_bajo*u(error_bajo))+(u_alto*u(error_alto)))
RET

```

```

*-----
*                               Rutina PWM_OUT
* DESCRIPCIÓN: Esta rutina se encarga de la modulación del ancho de pulso (PWM) que controla la
*               velocidad del motor corriente directa.
*               La modulación del ancho de pulso se hace mediante la inserción de out_real
*               obtenida en la rutina SALIDA_REAL al registro TICMPR de esta rutina.
*-----

```

PWM\_OUT:

```

LDP   #ERROR
LACC  out_real,16        ; Checa si el valor es negativo
BCND  sal_neg,LT        ; Brinca si el valor es negativo

LACC  FACTOR_PWM
SUB   #t1period-10
BCND  n_mod,GEQ         ; Brinca si FACTOR_PWM >= #03DAh

LACC  out_real
RPT   #4
SFR   ; Convierte de Q5 a Q0
ADD   FACTOR_PWM
SUB   #03DAh
BCND  max_pos,GEQ       ; Brinca si es >= #03DAh

ADD   #03DAh
SACL  FACTOR_PWM
B     out

sal_neg LACC  FACTOR_PWM
SUB   #0Ah
BCND  n_mod,LEQ         ; Brinca si FACTOR_PWM <= 000A

LACC  out_real
NEG
AND   #0FFFFh
RPT   #4
SFR   ; Convierte de Q5 a Q0
NEG
ADD   FACTOR_PWM

SUB   #0Ah ;

BCND  min_neg,LEQ       ; Brinca si FACTOR_PWM <= 0

ADD   #0Ah ;
SACL  FACTOR_PWM
B     out

```

; Valor máximo de la modulación

```
max_pos      LACC #03DAh
             SACL FACTOR_PWM
             B      out
```

; Valor mínimo de la modulación

```
min_neg     LACC #0Ah
            SACL FACTOR_PWM
```

```
out         LDP #DP_EV
            SACL TICMPR           ; Almacena el valor que controla
                                   ; la modulación de ancho de pulso
```

```
n_mod      RET
```

\*-----\*

\* Rutina PANTALLA

\* DESCRIPCIÓN: Esta rutina se encarga de llamar a HEXDEC y a rutina TX.  
 \* HEXDEC es la rutina encargada de convertir los valores hexadecimales a decimales.  
 \* TX es la rutina encargada de transmitir los datos decimales a pantalla auxiliándose  
 \* de la rutina TANSMITE.  
 \* TANSMITE es la rutina encargada de checar si se ha transmitido el dato.

\*-----\*

PANTALLA:

```
LAR AR2,#TEMP           ; Por pantalla se visualiza la lectura del ADC
SAL_A_PANTALLA         ; Macro
```

```
LAR AR2,#FACTOR_PWM    ; Por pantalla se visualiza la PWM
SAL_A_PANTALLA
```

```
LAR AR2,#ABS_ERROR
SAL_A_PANTALLA
```

```
RET_CAR              ; Transmite retorno de carro
RET
```

\*-----\*

\* Rutina HEXDEC

\* DESCRIPCIÓN: Esta rutina se encarga de convertir un dato hexadecimal a decimal

\*-----\*

HEXDEC:

; Limpieza del area de resultados

```
LDP #ERROR
MAR *,ar5
LAR AR5,#resultado
ZAC
RPT #4
SACL *-
LAR AR5,#resultado
MAR *,ar2
LACC *+,ar5
SPLK #0Ah,DIVISOR
```

; Se carga el acumulador con el dato a convertir

---



---

```

;                               Rutina para realizar la división

```

```

hd1
    DIVIDE DIVISOR
    SACH *-
    AND #0FFFFh
    SUB #9
    BCND hd2,LEQ
    ADD #9
    B hd1

```

```

hd2
    ADD #9
    SACL *
    RET

```

```

*-----*
*                               Rutina TX
*
*DESCRIPCIÓN: TX es la rutina encargada de transmitir los datos decimales a pantalla auxiliandose
*              de la rutina TANSMITE.
*-----*

```

```

TX:
    LAR ar5,#4
    LAR AR3,#DEC_MILLAR
    MAR *,AR3
tx1
    LACC *+,AR0
    ADD #0030h
    CALL TRANSMITE
    MAR *,ar5
    BANZ tx1,ar3

```

```

;                               Transmisión de espacio entre dato y dato

```

```

    MAR *,ar0
    LACC #20h
    CALL TRANSMITE
    RET

```

```

*-----*
*                               Rutina TRANSMITE
*
*DESCRIPCIÓN: TRANSMITE es la rutina encargada de checar si se ha transmitido el dato.
*-----*

```

```

TRANSMITE:
    SACL *,AR3                ; TRANSMITE dato a terminal
    LDP #00E0h
xmit_rdy
    BIT SCICTL2,BIT7         ; Prueba el bit TXRDY
    BCND xmit_rdy,NTC        ; SI TXRDY=0, Repite loop
    LDP #ERROR
    RET

```

```

*-----*
*                               Fin de los Bloques de Rutinas
*-----*

```

\*\*\*\*\*  
\*\*\*\*\*

\*  
\* Rutinas de interrupción  
\*  
\*\*\*\*\*  
\*\*\*\*\*

\*-----  
\* ADC  
\*  
\* DESCRIPCIÓN: Esta rutina hace la conversión de analógico a digital.  
\*-----

ADC:  
int. PUSH\_REG ; Guarda los valores del STO y ST1 en el momento de la

LDP #DP\_PF1 ; Coloca el DP en la pagina de los registros del ADC  
SBIT1 ADCTRL1,B0\_MSK ; Inicia la conversión A/D  
LACC ADCTRL1 ; ACC = ADCTRL1  
SACL ADCTRL1 ; ADCINTFLAG se limpia  
LACC ADCFIFO1 ; Carga al acumulador el valor convertidor  
RPT #05h ; Desplaza el valor obtenido en el FIFO1 6 lugares a la

derecha

SFR  
LDP #ERROR  
SACL TEMP ; Almacena el valor digital en la variable TEMP

; Instrucciones que permiten el tiempo de muestreo de la señal

LACC CONT  
SUB #0000H  
BCND increm\_cont,LT  
SPLK #0FFFFh,BANDERA1  
SPLK #0FFFFh,BANDERA2  
SPLK #0000h,CONT  
B limpiar

increm\_cont LACC CONT  
ADD #1h  
SACL CONT

; Habilitación para una nueva interrupción

limpiar

LDP #DP\_EV ; Coloca el DP en la pag. del manejador de eventos  
LACC EVIFRA  
SACL EVIFRA ; Se limpia la bandera de interrupción por periodo  
  
LDP #0 ; Coloca el DP en la página, 0000-7f.  
LACC IFR ; Carga el ACC con las banderas de interrupción  
SACL IFR ; Limpia todas las banderas de int. pendientes  
CLRC INTM ; Habilita interrupciones  
LDP #ERROR  
POP\_REG ; Rec. los val. del STO y ST1 en el mom. de la int.  
RET

---

---

```
*-----
*                               Rutina PHANTOM
*
* DESCRIPCIÓN:      Esta rutina se encarga de darle un reset al wachdog
*-----
```

```
PHANTOM:
```

```
    KICK_DOG
    B      PHANTOM
```

```
*-----
*                               Rutina BAD_INT
*
* DESCRIPCIÓN:      Esta rutina se presenta cuando existe una mala interrupción
*-----
```

```
BAD_INT:    LACC  #0BADh          ;Carga ACC con "bad"
            B      BAD_INT        ;Repite loop
```

```
*-----
*                               Fin de Rutinas de interrupción
*-----
```

```
; Conexión del PWM pin 12 del I/O
; Entrada de ADC0 pin 3 del ANALOG
; TESIS.CMD
```

**F.2. Comandos básicos para comunicar al `F240 (Tesis.cmd).**

```

/*****
/* Nombre del archivo:      Tesis.cmd                */
/* Tarjeta del sistema: Tarjeta de evaluación C24x   */
/*                                                                */
/* Descripción: Es un archivo de comandos básicos para comunicar */
/*              el elemento 'F240.                  */
/*              Este archivo es usado por el comunicador para de- */
/*              terminar donde cierta sección de código debe residir */
/*              en memoria.                            */
/* Revisión:   1.1                                       */
*****/

/*-----*/
/*ARCHIVO DE COMANDO COMUNICADOR-ESPECIFICACION DE MEMOPRIA para el F240*/
/*-----*/

MEMORY
{
    PAGE 0: VECS      : origin = 0h , length = 040h /* VECTORES */
             PROG     : origin = 40h , length = 0FFC0h /* PROGRAMA */

    PAGE 1: MMRS     : origin = 0h , length = 060h /* MMRS */
             B2       : origin = 0060h , length = 020h /* DARAM */
             B0       : origin = 0200h , length = 0100h /* DARAM */
             B1       : origin = 0300h , length = 0100h /* DARAM */
             DATA    : origin = 8000h , length = 8000h /* XDM */
}

/*-----*/
/*                      SECCION DE ASIGNACION                      */
/*-----*/

SECTIONS
{
    .vectors      : { } > VECS   PAGE 0 /* Tabla de vector de interrupción */
    .reset        : { } > VECS   PAGE 0 /* Código de reset */
    .start        : { } > PROG   PAGE 0 /* Código */
    .text         : { } > PROG   PAGE 0 /* Código */
    .data         : { } > PROG   PAGE 0 /* Inicialización tabla de datos */
    .mmrs         : { } > MMRS   PAGE 1 /* Registro de mapeo de memoria */
    .bss         : { } > B1     PAGE 1 /* Block B2 */
    .blk0         : { } > B0     PAGE 1 /* Block B0 */
    .blk1         : { } > B1     PAGE 1 /* Block B1 */
    .blk2         : { } > B2     PAGE 1 /* Block B2 */
    .blk3         : { } > DATA  PAGE 1 /* Memoria de datos externa */
}

```

### F.3. Declaración de registros periféricos del DSP ( f240regs.h).

```

;*****
; Nombre del archivo:          f240regs.h
;
; Descripción:   El archivo F240 contiene todas las declaraciones de los registros
;               periféricos del DSP.
;
;*****
;-----
; Definiciones de registros dentro del chip (Todos los registros son mapeados dentro del espacio
; de datos a menos que se diga otra cosa.
;-----

;C2xx Core Registers
;~~~~~
IMR          .set    0004h    ; Registro de la mascara de interrupción
GREG         .set    0005h    ; Registro de la memoria global
IFR          .set    0006h    ; Registro de las banderas de interrupción

;System Module Registers
;~~~~~
SYSCR        .set    07018h    ; Registro de control del modulo del sistema
SYSSR        .set    0701Ah    ; Registro de estado del modulo de sistema
SYSIVR       .set    0701Eh    ; Registro del sistema de vectores de interrupción

;Registros Watch-Dog(WD) / Real Time Int (RTI) / Phase Lock Loop(PLL) x
;~~~~~
RTICNTR      .set    07021h    ; Registro contador RTI
WDCNTR       .set    07023h    ; Registro contador WD
WDKEY        .set    07025h    ; Registro llave WD
RTICR        .set    07027h    ; Registro de control RTI
WDCR         .set    07029h    ; Registro de control WD
CKCR0        .set    0702Bh    ; Registro de control Clock
CKCR1        .set    0702Dh    ; Registro 1 de control del reloj

; Registros del convertidor Analógico a Digital (ADC)
;~~~~~
ADCTRL1      .set    07032h    ; Registro de control 1 del ADC
ADCTRL2      .set    07034h    ; Registro de control 2 del ADC
ADCFIFO1     .set    07036h    ; Registro FIFO1 de datos del ADC
ADCFIFO2     .set    07038h    ; Registro FIFO2 de datos del ADC

;Registros de la interfase periférica Serial (SPI)
;~~~~~
SPICCR       .set    07040h    ; Registro de control para configurar del SPI
SPICTL       .set    07041h    ; Registro de control para operación del SPI
SPISTS       .set    07042h    ; Registro de 3estado del SPI
SPIBRR       .set    07044h    ; Registro de velocidad en comunicación para el SPI SPIEMU
              set    07046h    ; Registro del buffer de emulación del SPI
SPIBUF       .set    07047h    ; Registro del buffer de entrada serial para el SPI
SPIDAT       .set    07049h    ; Registro de datos seriales para el SPI
SPIPC1       .set    0704Dh    ; Registro del puerto de control 1 del SPI
SPIPC2       .set    0704Eh    ; Registro del puerto de control 2
SPIPRI       .set    0704Fh    ; Registro de control de prioridades de SPI

```

; Registro de la interfase de comunicación serial (SCI)

```

;~~~~~
SCICCR      .set    07050h      ; Registro de control de comunicación
SCICTL1     .set    07051h      ; Registro uno de control del SCI
SCIHBAUD    .set    07052h      ; Registro de selección de bauds del SCI. Bits altos.
SCILBAUD    .set    07053h      ; Registro de selección de bauds del SCI. Bits bajos.
SCICTL2     .set    07054h      ; Registro dos de control del SCI
SCIRXST     .set    07055h      ; Registro de estado de recepción del SCI
SCIRXEMU    .set    07056h      ; Registro de emulación de datos SCI
SCIRXBUF    .set    07057h      ; Registro de recepción de datos del SCI
SCITXBUF    .set    07059h      ; Registro de transmisión de datos del SCI
SCIPC2      .set    0705Eh      ; Registro 2 de control del SCI
SCIPRI      .set    0705Fh      ; Registro de control de prioridades

```

; Registros de interrupción externos

```

;~~~~~
XINT1       .set    07070h      ; Registro de control de la interrupción 1
NMI         .set    07072h      ; Registro de control de interrupción no mascarable
XINT2       .set    07078h      ; Registro de control de la interrupción 2
XINT3       .set    0707Ah      ; Registro de control de la interrupción 3

```

;Digital I/O

```

;~~~~~
OCRA        .set    07090h      ; Registro de control A de salida
OCRB        .set    07092h      ; Registro de control A de salida
PADATDIR    .set    07098h      ; Registro de dirección de datos I/O del puesto A
PBDATDIR    .set    0709Ah      ; Registro de dirección de datos I/O del puesto B
PCDATDIR    .set    0709Ch      ; Registro de dirección de datos I/O del puesto C.

```

; Registros de tiempo de propósito general del manejador de eventos

```

;~~~~~
GPTCON      .set    7400h        ; Registro de control de tiempo de propósito general
T1CNT       .set    7401h        ; Registro contador del GP Timer1
T1CMPR      .set    7402h        ; Registro de comparación del GP Timer1
T1PR        .set    7403h        ; Registro del periodo del GP Timer1
T1CON       .set    7404h        ; Registro de control del GP Timer1
T2CNT       .set    7405h        ; Registro contador del GP Timer2
T2CMPR      .set    7406h        ; Registro de comparación del GP Timer2
T2PR        .set    7407h        ; Registro del periodo del GP Timer2
T2CON       .set    7408h        ; Registro de control del GP Timer2
T3CNT       .set    7409h        ; Registro contador del GP Timer3
T3CMPR      .set    740Ah        ; Registro de comparación del GP Timer3
T3PR        .set    740Bh        ; Registro del periodo del GP Timer3
T3CON       .set    740Ch        ; Registro de control del GP Timer3

```

; Registros de las unidades de comparación completa del manejador de eventos

```

;~~~~~
COMCON      .set    7411h        ; Registro de control de comparación
ACTR        .set    7413h        ; Registros de control de acción de comp. completa
SACTR       .set    7414h        ; Registros de control de acción de comp. simple
DBTCON      .set    7415h        ; Registro de control de tiempo de banda muerta
CMPR1       .set    7417h        ; Registro de la unidad 1 de comparación completa
CMPR2       .set    7418h        ; Registro de la unidad 2 de comparación completa
CMPR3       .set    7419h        ; Registro de la unidad 3 de comparación completa
SCMPR1      .set    741Ah        ; Registro de la unidad 1 de comparación simple
SCMPR2      .set    741Bh        ; Registro de la unidad 2 de comparación simple
SCMPR3      .set    741Ch        ; Registro de la unidad 3 de comparación simple

```



; Registros de la unidad de captura y encoder del manejador de eventos

```

;~~~~~
CAPCON      .set    7420h          ; Registro de control de captura
CAPFIFO     .set    7422h          ; Registro de captura0 FIFO
CAP1FIFO    .set    7423h          ; Registro FIFO de captura 1 de dos niveles
CAP2FIFO    .set    7424h          ; Registro FIFO de captura 2 de dos niveles
CAP3FIFO    .set    7425h          ; Registro FIFO de captura 3 de dos niveles
CAP4FIFO    .set    7426h          ; Registro FIFO de captura 4 de dos niveles

```

; Registros de interrupción del manejador de eventos.

```

;~~~~~
EVIMRA      .set    742Ch          ; Registro A de la mascara de int. del EV
EVIMRB      .set    742Dh          ; Registro B de la mascara de int. del EV
EVIMRC      .set    742Eh          ; Registro C de la mascara de int. del EV
EVIFRA      .set    742Fh          ; Registro A de las banderas de interrupción del EV
EVIFRB      .set    7430h          ; Registro B de las banderas de interrupción del EV
EVIFRC      .set    7431h          ; Registro C de las banderas de interrupción del EV
EVIVRA      .set    7432h          ; Registro A de los vectores de interrupción EV
EVIVRB      .set    7433h          ; Registro B de los vectores de interrupción EV
EVIVRC      .set    7434h          ; Registro C de los vectores de interrupción EV

```

;Flash Module Registers (mapped into Program space)

```

;~~~~~
SEG_CTR     .set    0h             ; Registro de control del segmento Flash
WADRS       .set    2h             ; Registro direccionado para escribir en la flash
WDATA       .set    3h             ; Registro de datos para escribir en la Flash

```

; Registro generadores de los estados de espera. (Espacio mapeados dentro de I/O)

```

;~~~~~
WSGR        .set    0FFFFh        ; Registro generador de estados de espera..

```

```

;-----
; Definiciones de constantes
;-----

```

; Dirección fronteriza de memoria de datos

```

;~~~~~
B0_SADDR    .set    00200h        ; Dirección inicial del bloque B0
B0_EADDR    .set    002FFh        ; Dirección final del bloque B0
B1_SADDR    .set    00300h        ; Dirección inicial del bloque B1
B1_EADDR    .set    003FFh        ; Dirección final del bloque B1
B2_SADDR    .set    00060h        ; Dirección inicial del bloque B2
B2_EADDR    .set    0007Fh        ; Dirección final del bloque B2
XDATA_SADDR .set    08000h        ; Dirección inicial de espacio de datos externo
XDATA_EADDR .set    09FFFh        ; Dirección final de espacio de datos externo

```

---

---

;Bit codes for Test Bit instruction (BIT)

```
;~~~~~  
BIT15      .set    0000h      ; Código para el bit 15  
BIT14      .set    0001h      ; Código para el bit 14  
BIT13      .set    0002h      ; Código para el bit 13  
BIT12      .set    0003h      ; Código para el bit 12  
BIT11      .set    0004h      ; Código para el bit 11  
BIT10      .set    0005h      ; Código para el bit 10  
BIT9       .set    0006h      ; Código para el bit 9  
BIT8       .set    0007h      ; Código para el bit 8  
BIT7       .set    0008h      ; Código para el bit 7  
BIT6       .set    0009h      ; Código para el bit 6  
BIT5       .set    000Ah      ; Código para el bit 5  
BIT4       .set    000Bh      ; Código para el bit 4  
BIT3       .set    000Ch      ; Código para el bit 3  
BIT2       .set    000Dh      ; Código para el bit 2  
BIT1       .set    000Eh      ; Código para el bit 1  
BIT0       .set    000Fh      ; Código para el bit 0
```

;Bits mascarables para ser usados por los macros SBIT0 & SBIT1

```
;~~~~~  
B15_MSK    .set    8000h      ; Mascara para el bit 15  
B14_MSK    .set    4000h      ; Mascara para el bit 14  
B13_MSK    .set    2000h      ; Mascara para el bit 13  
B12_MSK    .set    1000h      ; Mascara para el bit 12  
B11_MSK    .set    0800h      ; Mascara para el bit 11  
B10_MSK    .set    0400h      ; Mascara para el bit 10  
B9_MSK     .set    0200h      ; Mascara para el bit 9  
B8_MSK     .set    0100h      ; Mascara para el bit 8  
B7_MSK     .set    0080h      ; Mascara para el bit 7  
B6_MSK     .set    0040h      ; Mascara para el bit 6  
B5_MSK     .set    0020h      ; Mascara para el bit 5  
B4_MSK     .set    0010h      ; Mascara para el bit 4  
B3_MSK     .set    0008h      ; Mascara para el bit 3  
B2_MSK     .set    0004h      ; Mascara para el bit 2  
B1_MSK     .set    0002h      ; Mascara para el bit 1  
B0_MSK     .set    0001h      ; Mascara para el bit 0
```

#### F.4. Macros (mcr\_sug.h)

```

/***** /
/* Nombre del archivo:      mcr_sug.h          */
/* Tarjeta del sistema: Tarjeta de evaluación C24x          */
/*                               */
/* Descripción: Es un archivo que contiene los macros ocupados en          */
/*                               el programa principal del regulador de frecuencia          */
/***** /
SBIT0      .macro   DMA, MASK      ;Limpiar bit Macro
           LACC   DMA
           AND    #(0FFFh-MASK)
           SACL   DMA
           .endm

SBIT1      .macro   DMA, MASK      ;Colocar bit Macro
           LACC   DMA
           OR     #(MASK)
           SACL   DMA
           .endm

TBIT       .macro   DMA, MASK      ;Test bit Macro
           LACC   DMA
           AND    #(MASK)
           .endm

XORBIT     .macro   DMA, MASK      ;XOR bit Macro
           LACC   DMA
           XOR    #(MASK)
           SACL   DMA
           .endm

KICK_DOG   .macro                               ;Watchdog reset macro
           LDP    #00E0h
           SPLK   #055h, WDKEY
           SPLK   #0AAh, WDKEY
           .endm

PUSH_REG   .macro
           LARP   AR7
           MAR    *-
           SST    #1,*-      ;Salva los registros y apuntadores
           SST    #0,*-      ;antes de la interrupción
           SACH   *-
           SACL   *-
           .endm

POP_REG    .macro
           LARP   AR7
           MAR    *+
           LACL   *+      ;Recupera ACC_L
           ADD    *+,16    ;Recupera ACC_H
           LST    #0,*+    ;Recupera ST1
           LST    #1,*+    ;Recupera ST0
           CLRC  INTM      ;Limpia bandera de máscara de INT
           .endm

```

---

```

DIVIDE      .macro dma
            RPT    #15
            SUBC   dma
            .endm

CLRBLQ0     .macro
            LAR   AR2,#B0_SADDR ; AR2->Inicio de la direc. de B0
            MAR  *,AR2         ; ARP=AR2
            ZAC                      ; ACC = 0
            RPT  #0ffh         ; Repite 255+1 loops
            SACL *+            ; Escribe ceros a B0 RAM
            .endm

CLRBLQ1     .macro
            LAR   AR2,#B1_SADDR ; AR2 -> Inicio de la direc. de B1
            MAR  *,AR2         ; ARP=AR2
            ZAC                      ; ACC = 0
            RPT  #0ffh         ; Repite 255+1 loops
            SACL *+            ; Escribe ceros a B1 RAM
            .endm

CLRBLQ2     .macro
            LAR   AR2,#B2_SADDR ; AR2 -> Inicio de la direc. de B1
            MAR  *,AR2         ; ARP=AR2
            ZAC                      ; ACC = 0
            RPT  #1fh          ; Repite 31+1 loops
            SACL *+            ; Escribe ceros a B1 RAM
            .endm

INC_T       .macro
            LDP  #ERROR
            MAR  *,AR3         ; Pone ARP = AR3
            LACC *             ; Incrementa el apuntador de tabla en
            ADD  INC_DEC       ; Área de programa
            SACL *,AR6
            TBLR *
            .endm

BAJADAS     .macro dma ; AR5 actual
            MAR  *,AR6
            LACC *,AR1         ; VAL_MEM carga x1
            SUB  *,AR5         ; ERROR
            SACL GPR0         ; X1-ERROR (NUMERADOR)
            LT  FACTOR        ; FACTOR = FF
            MPYU GPR0         ; (NUMERADOR)
            PAC                      ; ACC = PREG Se carga el acum.. con el dato a convertir
            DIVIDE DIVISOR    ; Realiza la división
            SACL *+            ; Almacena valor difuso de bajada
            .endm

```

---

```

SUBIDAS      .macro   dma
                                ; AR5 actual
                SPLK   #0FFFFh,INC_DEC
                INC_T   ; Incrementa apuntador de tabla
                LACC   *
                SACL   *,AR1
                LACC   *,AR6
                                ; ERROR
                SUB    *,AR5
                                ; VAL_MEM (carga el Xo)
                SACL   GPR0
                                ; ERROR-Xo (NUMERADOR)
                LT     FACTOR
                MPYU   GPR0
                                ; (NUMERADOR)
                PAC    ; ACC = PREG Se carga el acc. con el dato a con.
                DIVIDE DIVISOR
                                ; Realiza la división
                SACL   *
                                ; Almacena valor difuso de subida
                .endm

SAL_A_PANTALLA .macro
                LAR   AR0,#SCITXBUF ;Carga AR0 con la dirección SCI_TX_BUF
                CALL  HEXDEC
                CALL  TX
                .endm

RET_CAR      .macro
                MAR   *,ar0
                                ;TRANSMITE Retorno de carro
                LACC  #0Dh
                CALL  TRANSMITE
                .endm

OBT_ABS_ERROR .macro
                LDP   #ERROR
                LACC  ERROR
                                ; Carga Error
                SACL  ERROR+2
                                ; Error_ANTERIOR = Error_ACTUAL
                LACC  ERROR+1
                                ; Carga ABS(Error)
                SACL  ERROR+3
                                ; ABS(Error_ANTERIOR) = ABS(Error_ACTUAL)
                LAR   AR0,#TEMP
                MAR   *,AR0
                LACC  #01EAh
                                ; Equivale aprox. a 2.4V *Valor de ref = 377rad/seg*
                SUB   *
                                ; -A/D
                SACL  ERROR
                                ; Error = Vreferencia - Vactual
                ABS
                SACL  ERROR+1
                                ; Error = ABS (Vreferencia - Vactual)
                .endm

```